

UNIVERSIDADE FEDERAL DO PARANÁ

MATEUS LOVATEL MATIAS

AMPLIFICADOR DE GANHO PROGRAMÁVEL  
APLICADO A UM RECEPTOR DE RADIOFREQUÊNCIA  
COM SUBAMOSTRAGEM E DUPLA QUADRATURA

CURITIBA

2017

**MATEUS LOVATEL MATIAS**

**AMPLIFICADOR DE GANHO PROGRAMÁVEL  
APLICADO A UM RECEPTOR DE RADIOFREQUÊNCIA  
COM SUBAMOSTRAGEM E DUPLA QUADRATURA**

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica do Departamento de Engenharia Elétrica, Setor de Tecnologia, da Universidade Federal do Paraná como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Bernardo Leite

Coorientador: Prof. André Mariano

**CURITIBA**

**2017**

---

M433a

Matias, Mateus Lovatel

Amplificador de ganho programável aplicado a um receptor de radiofrequência com subamostragem e dupla quadratura / Mateus Lovatel Matias. – Curitiba, 2017.

98 p. : il. color. ; 30 cm.

Dissertação - Universidade Federal do Paraná, Setor de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica, 2017.

Orientador: Bernardo Rego Barros de Almeida Leite – Co-orientador: André Augusto Mariano,.

Bibliografia: p. 97-98.

1. Radiofrequência. 2. Modulação (Eletrônica). 3. Amplificadores eletrônicos. 4. Microeletrônica. 5. Semicondutores complementares de óxido metálico. I. Universidade Federal do Paraná. II. Leite, Bernardo Rego Barros de Almeida. III. Mariano, André Augusto. IV. Título.

CDD: 621.38412

---



MINISTÉRIO DA EDUCAÇÃO  
UNIVERSIDADE FEDERAL DO PARANÁ  
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO  
Setor TECNOLOGIA  
Programa de Pós Graduação em ENGENHARIA ELÉTRICA  
Código CAPES: 40001016043P4

### TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **MATEUS LOVATEL MATIAS**, intitulada: "**Amplificador de ganho programável aplicado a um receptor de radiofrequência com subamostragem e dupla quadratura**", após terem inquirido o aluno e realizado a avaliação do trabalho, são de parecer pela sua Aprovação no rito de defesa.

A outorga do título de mestre está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

Curitiba, 30 de Agosto de 2017.

BERNARDO REGO BARROS DE ALMEIDA LEITE  
Presidente da Banca Examinadora (UFPR)

LUIS HENRIQUE ASSUMPÇÃO LOLIS  
Avaliador Interno (UFPR)

SERGIO FRANCISCO PICHORIM  
Avaliador Externo (UFPR)



## Dedicatória

Dedico este trabalho à minha amada esposa, Greice R. B. Matias, cuja dedicação incondicional à nossa família possibilitou a conclusão desse estudo.



## Agradecimentos

Agradeço a Deus pelo que tenho, sou e sei.

À minha família que, apesar da renúncia imposta pela distância, me apoiou de todas formas na conclusão desta etapa.

À minha amada esposa, Greice, pelo suporte integral, compreensão, carinho e dedicação que foram fundamentais nesta caminhada.

Aos meus colegas de projeto, companheiros de jornada, Guilherme Sionek e João Paulo Camelo Cunha pelo companheirismo, amizade, conhecimentos e aprendizados compartilhados.

Aos meus professores orientadores Bernardo Leite e André Augusto Mariano pelos fundamentais ensinamentos, orientações, exemplos e conselhos.

À equipe do grupo de pesquisa em circuitos e sistemas integrados (GICS) pelo apoio e suporte.

Aos professores do Programa de Pós-Graduação em Engenharia Elétrica desta universidade pelo ensino de excelência.

Aos amigos e colegas de trabalho no Laboratório de Calibração do CINDACTA II pelos gestos de apoio e motivação, pela paciência e compreensão.





## Epígrafe

“**O**ur virtues and our failings are inseparable, like force and matter. When they separate, man is no more.”

Nikola Tesla (1856-1943).



## Resumo

A demanda da sociedade moderna por dispositivos de comunicação que possam trabalhar com altas taxas de transferência de dados e baixo consumo de energia promove o desenvolvimento tecnológico de soluções de comunicação inovadoras, que possibilitem melhorar a eficiência dos sistemas de comunicação existentes, em especial os sistemas móveis. Neste contexto, este trabalho apresenta uma arquitetura para receptor baseada em subamostragem, explorando uma baixa frequência intermediária, implementando a demodulação do sinal e rejeição de sinal imagem onde se dispensa o uso de circuitos complexos para síntese de frequência. Para a implementação deste receptor, torna-se necessário desenvolver um amplificador de ganho programável, responsável pelo segundo deslocamento em frequência realizado pelo receptor. Neste viés este trabalho relata o estudo das topologias conhecidas, escolha da topologia que melhor se aplica para a implementação deste amplificador de ganho programável, em tecnologia CMOS de 130 nm, para possibilitar a prova de conceito do receptor citado. Normalmente circuitos amplificadores de ganho variável são utilizados em blocos de controle automático de ganho que trabalham em frequências mais baixas. Entretanto, o presente estudo visa a aplicação deste amplificador em radiofrequência, logo na recepção do sinal transmitido, em uma nova topologia de recepção de sinais torna desnecessária a síntese e translação em frequência. Uma primeira arquitetura de amplificador de ganho programável foi proposta, utilizando-se de um amplificador em malha aberta, composto por ramos de amplificação baseados em pares diferenciais e ramos de carga que se utilizam de transistores conectados como diodos. A variação do ganho foi obtida através da variação simultânea da razão de aspecto dos transistores e da corrente de polarização dos ramos de amplificação e carga. Esta primeira arquitetura apresentava variação exponencial do ganho e uma palavra de controle de 3 bits, resultando em 8 níveis de ganho distintos. Uma revisão dos requisitos do receptor levou à implementação de uma variação da primeira topologia que, utilizando o princípio da célula de Gilbert, implementou um amplificador capaz de promover também ganhos negativos. Nesta revisão da arquitetura a palavra de controle aumentou para 4 bits, levando o amplificador a fornecer 16 níveis de ganho. Baseado nesta arquitetura revisada, desenvolveu-se um circuito final para o amplificador de ganho programável pretendido. Este amplificador apresentou frequência de corte superior à 1 GHz e velocidade de transição dos níveis de ganho próxima a 1 ns. Tais resultados se mostraram satisfatórios para o circuito pretendido, possibilitando a fabricação do circuito no prosseguimento deste estudo.

Palavras-chave: Amplificador de ganho programável; Amplificador de ganho variável; Controle automático de ganho; Radiofrequência; Microeletrônica; CMOS.



# Abstract

The demand of modern society for communication devices that can work with high data rates and low power consumption promotes the technological development of innovative communication solutions that enable improving the efficiency of existing communication systems, especially mobile systems. Thus this work presents a bandpass sampling receiver architecture, with a low IF approach while implementing downconversion and image rejection without complex circuits for frequency synthesis. To implement this receiver, it is necessary to develop a programmable gain amplifier, responsible for the second frequency translation performed by the receiver. In this context, this work reports the study of the known topologies, the choice of the topology that best applies for the implementation of this programmable gain amplifier, in 130 nm CMOS technology, to perform the proof of concept of the receiver mentioned. Variable gain amplifier circuits are typically used in automatic gain control blocks that work at lower frequencies. However, the present study aims at the application of this amplifier in radiofrequency, in the reception of the transmitted signal, in a new topology of reception of signals it becomes unnecessary the synthesis and translation in frequency. A first programmable gain amplifier architecture was proposed, using an open-loop amplifier composed of amplifier arms based on differential pairs and load arms using diode-connected transistors. The gain variation was reached by the simultaneous variation of the aspect ratio of the transistors and the bias current of the amplification and load arms. This first architecture performed an exponential gain variation and a 3-bit control word, resulting in 8 different gain levels. A review of receiver requirements led to the development of a variation of the first topology that made it possible to obtain negative gains when using the Gilbert cell principle. In this review of the architecture the control word increased to 4 bits, leading the amplifier to provide 16 gain levels. Based on this revised architecture, a final circuit was developed for the desired programmable gain amplifier. This amplifier showed a cutoff frequency greater than 1 GHz and a transition speed of gain levels close to 1 ns. These results were satisfactory for the intended circuit, making possible the circuit fabrication in the continuation of this study.

Key-words: Programmable gain amplifier; Variable gain amplifier; Automatic gain control; High frequency; Microelectronics; CMOS.



## Lista de Figuras

Figura 1	Diagrama simplificado de um sistema de recepção para comunicação sem fio. ....	20
Figura 2	Diagrama do receptor super-heteródino. ....	20
Figura 3	Transformada de Fourier das etapas da dupla conversão em frequência. ....	21
Figura 4	Transformada de Fourier das etapas da dupla conversão em frequência na presença de um sinal imagem. ....	23
Figura 5	Diagrama do receptor homódino. ....	24
Figura 6	Rejeição de imagem por deslocamento unilateral na frequência. ....	25
Figura 7	Subamostragem do sinal - Operações no domínio da frequência. ....	28
Figura 8	Subamostragem com sobreposição. ....	29
Figura 9	Diagrama do receptor proposto. ....	31
Figura 10	Topologias de controle automático de ganho ....	35
Figura 11	Diagrama básico de um amplificador em malha fechada. ....	36
Figura 12	O efeito da realimentação. ....	38
Figura 13	Princípio básico da divisão de corrente. ....	39
Figura 14	Realimentação por divisão de corrente ....	40
Figura 15	PGA baseado em divisor de corrente MOS. ....	41
Figura 16	Divisor de corrente R-2R MOS. ....	42
Figura 17	Amplificador diferencial com rede de realimentação variável. ....	43
Figura 18	Arranjo de resistores chaveados. ....	43
Figura 19	Realimentação por chaveamento de resistores e fontes de corrente. ....	44
Figura 20	Realimentação por capacitores variáveis. ....	45
Figura 21	Arranjo de capacitores chaveados. ....	46
Figura 22	Par diferencial básico. ....	47
Figura 23	Variação da corrente de polarização. ....	48
Figura 24	Implementação da variação de ganho controlada pela corrente de polarização. ....	49
Figura 25	Degeneração de par diferencial. ....	49
Figura 26	Degeneração programável do par diferencial. ....	50



Figura 27	Variação da carga do amplificador em malha aberta. ....	51
Figura 28	Chaveamento da carga do amplificador em malha aberta. ....	52
Figura 29	Diagrama simplificado de um multiplicador. ....	54
Figura 30	Par diferencial como multiplicador. ....	55
Figura 31	Célula de Gilbert com transistores MOS. ....	56
Figura 32	Variação da corrente de polarização e carga. ....	62
Figura 33	Chaveamento da corrente de polarização e da carga. ....	63
Figura 34	Circuito para simulação da primeira arquitetura. ....	67
Figura 35	Gráfico da resposta em frequência com ganho de tensão em dB. ....	68
Figura 36	Gráfico da variação do ganho em relação à variação da constante $k$ . ...	69
Figura 37	Variação das curvas de ganho em relação à variação da corrente $I_1$ . ...	70
Figura 38	Variação das curvas de ganho em relação à variação da corrente $I_2$ . ...	71
Figura 39	Variação das curvas de ganho em relação à variação da razão $(W/L)_1$ . ...	72
Figura 40	Variação das curvas de ganho em relação à variação da razão $(W/L)_2$ . ...	72
Figura 41	Modificação da primeira arquitetura. ....	75
Figura 42	Arquitetura revisada. ....	76
Figura 43	Circuito para simulação da arquitetura revisada. ....	76
Figura 44	Gráfico da resposta em frequência para os 16 níveis de ganho de tensão, em módulo. ....	77
Figura 45	Variação das curvas de ganho nas frequências específicas. ....	78
Figura 46	Variação das curvas de ganho em relação à variação da corrente $I_1$ . ...	79
Figura 47	Variação das curvas de ganho em relação à variação da corrente $I_2$ . ...	80
Figura 48	Variação das curvas de ganho em relação à variação da razão $(W/L)_1$ . ...	81
Figura 49	Variação das curvas de ganho em relação à variação da razão $(W/L)_2$ . ...	81
Figura 50	Topologia do circuito final. ....	83
Figura 51	Circuito gerador de corrente de referência. ....	85
Figura 52	Circuito completo do amplificador de ganho programável projetado. ..	86
Figura 53	Variação da corrente de referência em relação à tensão de alimentação. ...	87
Figura 54	Variação da corrente de referência em relação à variação da temperatura. ...	87
Figura 55	Resposta em frequência com um capacitor de carga de 1fF. ....	88
Figura 56	Resposta em frequência com um capacitor de carga de 100 fF. ....	89
Figura 57	Resposta em frequência com um capacitor de carga de 10 pF. ....	90
Figura 58	Curva de ganho referente à resposta em 100 MHz. ....	90

Figura 59	Circuito para simulação da resposta transiente. ....	91
Figura 60	Resposta transiente para a variação em todos os níveis de ganho. ....	92
Figura 61	Detalhe da transição de ganho no trecho “A”. ....	92
Figura 62	Detalhe da transição de ganho no trecho “B”. ....	93



## Lista de Tabelas

Tabela 1	Comparação entre as técnicas apresentadas .....	53
Tabela 2	Tipo de resposta do amplificador .....	54
Tabela 3	Parâmetros básicos do projeto .....	67
Tabela 4	Potência consumida em relação a variação da constante $k$ .....	69
Tabela 5	Parâmetros básicos do projeto .....	77
Tabela 6	Tabela comparativa com diferentes tipos transistores MOS .....	84
Tabela 7	Parâmetros do circuito final .....	85



## Lista de Siglas

CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
RF	Radiofrequência
FI	Frequência Intermediária
VGA	Amplificador de Ganho Variável
PGA	Amplificador de Ganho Programável
D/A	<i>Digital to Analog</i>
AGC	Controle Automático de Ganho
CCD	<i>Charge-Coupled Device</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
DC	Corrente Contínua
OTA	Amplificador Operacional de Transcondutância
MCD	<i>MOS Current Divider</i>
SCA	Amplificador por Capacitância Chaveada
GF	<i>Global Foundries.</i>
PDK	<i>Process Design Kit.</i>
FET	Transistor de Efeito de Campo



## Lista de Símbolos

$\mu_n$	Mobilidade dos elétrons.
$C_{ox}$	Capacitância de óxido por unidade de área em um transistor MOS.
$g_m$	Transcondutância do transistor MOS.
$V_{t\text{sat}}$	Tensão de limiar.





# Sumário

<b>1 INTRODUÇÃO</b>	<b>17</b>
1.1 OBJETIVOS	17
1.1.1 Objetivo geral	17
1.1.2 Objetivos específicos	17
1.2 ESTRUTURA DA DISSERTAÇÃO	18
<b>2 RECEPTOR BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA</b>	<b>19</b>
2.1 O RECEPTOR NA COMUNICAÇÃO POR RF	19
2.1.1 Receptor super-heteródino	20
2.1.1.1 FI de banda larga	22
2.1.1.2 A problemática do sinal imagem	22
2.1.2 Receptor homódino	23
2.1.3 Receptor com FI baixa	23
2.1.3.1 Deslocamento unilateral em frequência	24
2.2 ARQUITETURA DO RECEPTOR PROPOSTO	26
2.2.1 Receptor com subamostragem	27
2.2.2 Conversão unilateral em frequência com o uso de subamostragem	28
2.2.2.1 Amplificador	30
<b>3 AMPLIFICADORES DE GANHO PROGRAMÁVEL</b>	<b>33</b>
3.1 VGAS APLICADOS EM RF	34
3.2 TOPOLOGIAS CONHECIDAS	34
3.2.1 Amplificadores em malha fechada	35
3.2.1.1 Realimentação	36
3.2.1.2 Relação entre ganho e largura de banda	37
3.2.1.3 Técnica de divisão de corrente	39

3.2.1.4	Técnica dos resistores chaveados .....	42
3.2.1.5	Técnica dos capacitores chaveados .....	44
3.2.2	Amplificadores em malha aberta .....	46
3.2.2.1	Variação da corrente de polarização .....	47
3.2.2.2	Degeneração de par diferencial .....	48
3.2.2.3	Variação da carga .....	51
3.2.3	Comparativo entre as topologias apresentadas .....	52
3.3	CARACTERÍSTICAS INERENTES AOS CIRCUITOS MULTIPLICADORES	53
3.3.1	Quadrantes de operação de circuitos multiplicadores .....	54
3.3.2	Célula de Gilbert .....	54
<b>4</b>	<b>PROJETO .....</b>	<b>59</b>
4.1	METODOLOGIA DE PROJETO .....	59
4.2	PRIMEIRA ARQUITETURA PROPOSTA .....	60
4.2.1	Princípio de funcionamento .....	62
4.2.2	Resultados simulados .....	66
4.2.2.1	Variação da constante $k$ .....	68
4.2.2.2	Variação das correntes de polarização .....	69
4.2.2.3	Variação da razão de aspecto dos transistores .....	71
4.3	REVISÃO DA ARQUITETURA PROPOSTA .....	73
4.3.1	Operação em quatro quadrantes .....	74
4.3.2	Arquitetura revisada .....	74
4.3.3	Resultados simulados .....	75
4.3.3.1	Variação das correntes de polarização .....	79
4.3.3.2	Variação da razão de aspecto dos transistores .....	80
4.3.3.3	Considerações sobre os resultados obtidos .....	82
4.4	CIRCUITO FINAL .....	82
4.4.1	Referência de corrente .....	85
4.4.2	Resultados Simulados .....	88
<b>5</b>	<b>CONCLUSÕES .....</b>	<b>95</b>

Referências .....	97
-------------------	----



# 1 INTRODUÇÃO

No mundo contemporâneo estamos cada vez mais dependentes das redes de comunicação, do acesso rápido a informações. Neste sentido buscamos dispositivos que nos tragam a mais avançada tecnologia e assim nos possibilite uma maior velocidade de conexão, pelo maior tempo possível, no local que se desejar. Neste contexto os sistemas de comunicações móveis estão em constante desenvolvimento e evolução visando, principalmente, atender as demandas com maior capacidade de transmissão de dados e menor consumo de energia.

Neste viés de demanda por inovação tecnológica, equipes de pesquisadores e projetistas buscam aprimorar as técnicas existentes ou desenvolver novas soluções para apresentar sistemas de comunicação sem fio mais eficientes, rápidos e econômicos, sob o ponto de vista do consumo de energia. Assim, Sionek et al. (2017) apresentam e analisam um receptor conceitual não convencional, capaz de amostrar diretamente em banda passante. Este receptor utiliza a técnica de subamostragem e o deslocamento unilateral de frequência para promover um circuito de recepção capaz de contornar o problema do sinal imagem e dispensar a utilização de circuitos complexos de síntese de frequência.

## 1.1 OBJETIVOS

### 1.1.1 Objetivo geral

A pesquisa apresentada a seguir tem por foco principal desenvolver o conjunto de circuitos responsáveis pela amplificação controlada dos sinais no contexto de um receptor baseado em subamostragem com dupla quadratura. O referido projeto foi desenvolvido em tecnologia CMOS de 130 nm.

### 1.1.2 Objetivos específicos

De modo a atingir o objetivo principal da pesquisa proposta tornou-se necessário estudar as aplicações similares de amplificadores de ganho variável, principalmente no que

se refere ao seu uso em circuitos de radiofrequência (RF). Projetar um circuito amplificador de ganho controlado capaz de atender aos requisitos de sistema estabelecidos. Desenvolver os circuitos auxiliares necessários à completa implementação do amplificador objeto desta pesquisa. Por fim, avaliar os resultados obtidos com os circuitos propostos identificando o atendimento e a aplicabilidade do receptor citado. Este trabalho ainda se propõe a utilizar técnicas e topologias no sentido de desenvolver um circuito de baixo consumo de potência e reduzida superfície de silício.

## 1.2 ESTRUTURA DA DISSERTAÇÃO

Esta dissertação apresenta o sistema do receptor de subamostragem com dupla quadratura no capítulo 2, que gerou a demanda pelo desenvolvimento do amplificador objeto deste trabalho. O capítulo 3 apresenta o estudo bibliográfico das topologias e técnicas utilizadas na implementação de amplificadores de ganho variável. Já o desenvolvimento do amplificador e de seus circuitos auxiliares assim como os resultados obtidos são apresentados no capítulo 4. Ao final, no capítulo 5, são apresentadas as conclusões resultantes da pesquisa apresentada.

## 2 RECEPTOR BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA

A principal função do receptor é recuperar a informação da onda recebida e convertê-la em sinais eletrônicos que podem ser processados por circuitos analógicos ou digitais subsequentes. Neste viés, grandes investimentos de tempo, esforço e dinheiro, tanto em termos de pesquisa acadêmica quanto em investimento da indústria, têm sido destinados no desenvolvimento desses receptores, a fim de alcançar soluções totalmente integradas que atendam a uma demanda crescente por alto desempenho, baixo custo e baixo consumo de energia. (PÉREZ; PUEYO; LÓPEZ, 2011).

Neste contexto, Sionek et al. (2017) propõem um receptor que utiliza técnicas de subamostragem e demodulação em banda passante como alternativa de receptor flexível e eficiente, conforme apresentado a seguir.

### 2.1 O RECEPTOR NA COMUNICAÇÃO POR RF

O sistema básico de recepção, conforme diagrama da Figura 1, tem como primeiro elemento a antena, transdutor responsável por converter o sinal eletromagnético irradiado no meio em sinal elétrico para receptor. O sinal irradiado pelo transmissor sofre uma grande redução de sua potência inicial, chegando à antena do receptor com uma amplitude reduzida. Assim, logo depois da antena um sistema de recepção possui um amplificador de baixo ruído - LNA, responsável por realizar a primeira amplificação do sinal recebido e, ao mesmo tempo, inserindo o mínimo de ruído possível. Na sequência ocorre a conversão em frequência objetivando entregar o sinal em banda base para processamento e efetivo aproveitamento da informação comunicada. A antena e o amplificador de baixo ruído são elementos comuns às diversas topologias de receptores, das quais as mais comuns são apresentadas sucintamente nesta seção.



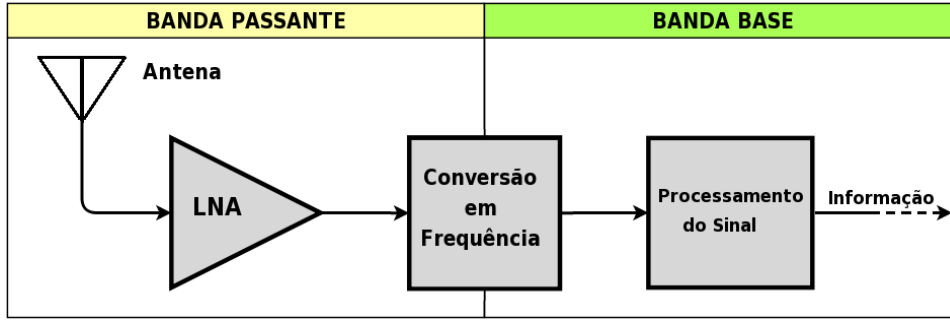


Figura 1: Diagrama simplificado de um sistema de recepção para comunicação sem fio.

Fonte: O autor.

### 2.1.1 Receptor super-heteródino

O receptor super-heteródino foi patenteado por Armstrong em 1917, tornando-se uma das mais clássicas topologias de recepção, amplamente utilizada até os dias atuais. (LEE, 2004). Nesta topologia, cujo diagrama simplificado é apresentado na Figura 2, o princípio básico de funcionamento remete ao processo de dupla conversão em frequência. Primeiramente o sinal de RF é convertido em uma sinal de frequência mais baixa, uma frequência intermediária (FI). Assim torna-se mais fácil realizar operações no sinal, como amplificações e filtragens. Por fim realiza-se uma segunda conversão em frequência, desta vez da FI para a banda base.

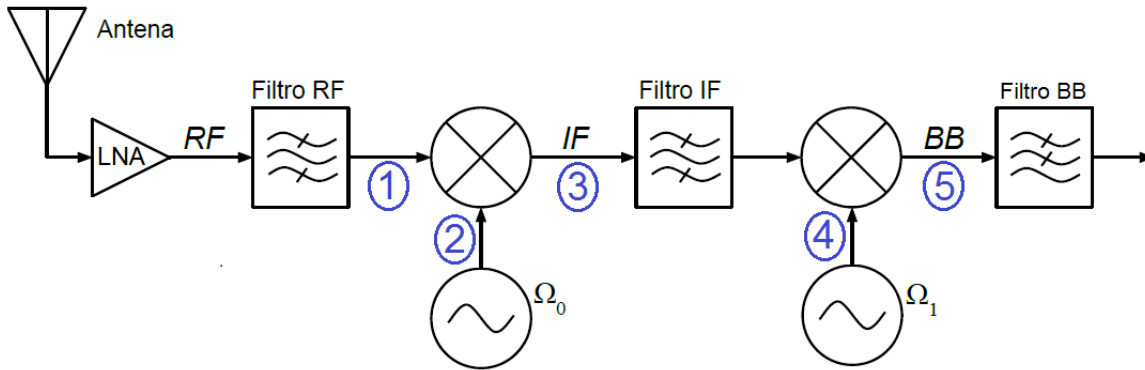


Figura 2: Diagrama do receptor super-heteródino.

Fonte: O autor.

De modo a detalhar a proposta básica desta topologia, consideremos um sinal  $x_c$  modulado na frequência da portadora  $\Omega_c$ , expresso por

$$x_{(mod)}(t) = x_c(t)\cos(\Omega_c t). \quad (2.1)$$

Assim o primeiro deslocamento em frequência se dará pela multiplicação deste por um sinal na frequência  $\Omega_0$ . Em seguida, este sinal será novamente deslocado em frequência, desta vez por uma multiplicação por um sinal de frequência  $\Omega_1$ . Como resultados destas operações teremos o sinal em banda base expresso por

$$x_{(BB)}(t) = x_c(t)\cos(\Omega_1 t)\cos(\Omega_0 t)\cos(\Omega_c t). \quad (2.2)$$

Se as frequências  $\Omega_0$  e  $\Omega_1$  forem escolhidas de modo que  $\Omega_0 + \Omega_1 = \Omega_c$ , o sinal passa a ser

$$x_{(BB)}(t) = \frac{1}{2}x_c(t)[\cos(0) + \cos(2\Omega_1) + \cos(2\Omega_0) + \cos(2\Omega_0 + 2\Omega_1)]. \quad (2.3)$$

Tal processo de duplo deslocamento em frequência pode ser visualizado também através da Figura 3, na qual constatamos o deslocamento do sinal para a banda base. Os números em azul, da citada figura, fazem correlação do sinal no espectro da frequência com a respectiva etapa no diagrama do receptor, apresentado na Figura 2.

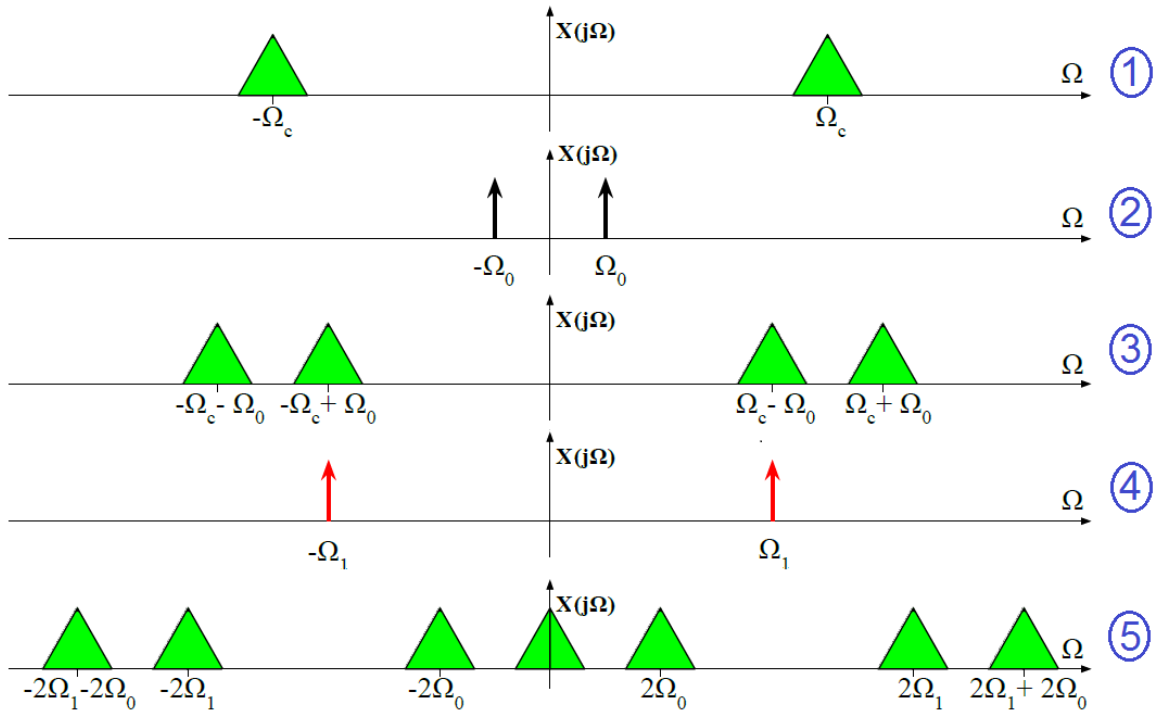


Figura 3: Transformada de Fourier das etapas da dupla conversão em frequência.

Fonte: O autor.

### 2.1.1.1 FI de banda larga

Uma variação do receptor super-heteródino consiste na aplicação do conceito de FI de banda larga, referindo-se à característica de que toda a banda do sinal em RF é convertida para FI, sendo que somente ocorre a seleção do canal na segunda conversão para banda base. Dessa forma a primeira conversão pode ser realizada com uma frequência fixa, simplificando essa primeira etapa. Na segunda conversão ocorrerá a variação da frequência de batimento<sup>1</sup> e, através de um filtro mais seletivo, deslocar para banda base apenas a frequência de interesse. Tipicamente a FI deste tipo de receptor é relativamente alta. (MARTINS, 2002).

### 2.1.1.2 A problemática do sinal imagem

A topologia do receptor super-heteródino, em especial sua variação que utiliza a FI de banda larga, apresenta uma solução bastante interessante para aplicação na recepção de sinais que ocupam diferentes canais ao redor de uma portadora, situação comum aos mais utilizados protocolos de comunicação sem fio em uso na atualidade. Todavia, este tipo de topologia está sujeita ao problema do sinal imagem, quando a conversão em frequência resulta em uma sobreposição do sinal de interesse por outro, o sinal imagem, na banda base. A conversão em frequência em um receptor visa recuperar em banda base a informação que foi transmitida modulada em uma alta frequência. Entretanto quando essa conversão possibilita que dois sinais em alta frequência sejam deslocados simultaneamente para a banda base, temos a sobreposição dos mesmos, causando interferência e perda da informação original de ambos os sinais. Se um destes sinais é o de interesse da recepção, o outro é chamado de sinal imagem. A Figura 4 ilustra o problema citado, quando o sinal de interesse, em verde, sofre a interferência em banda base, do sinal imagem, em vermelho. Os números em azul indicam a respectiva etapa no diagrama do receptor, apresentado na Figura 2.

Considerando que, além do sinal de interesse na frequência  $\Omega_c$ , temos a presença de um outro sinal na frequência  $\Omega_i = \Omega_c - 2\Omega_0$ . Ao aplicarmos a dupla conversão em frequência neste sinal  $\Omega_i$ , observamos que:

$$x_{(BB)}(t) = x_i(t)\cos(\Omega_1 t)\cos(\Omega_0 t)\cos(\Omega_i t); \quad (2.4)$$

$$x_{(BB)}(t) = \frac{1}{2}x_i(t)[\cos(0) + \cos(2\Omega_1) + \cos(2\Omega_0) + \cos(2\Omega_0 + 2\Omega_1)]. \quad (2.5)$$

---

<sup>1</sup>Frequência de batimento é uma denominação genérica relacionada a uma frequência que foi gerada para multiplicar outra, com a intenção de realizar um deslocamento desta última, no domínio da frequência.

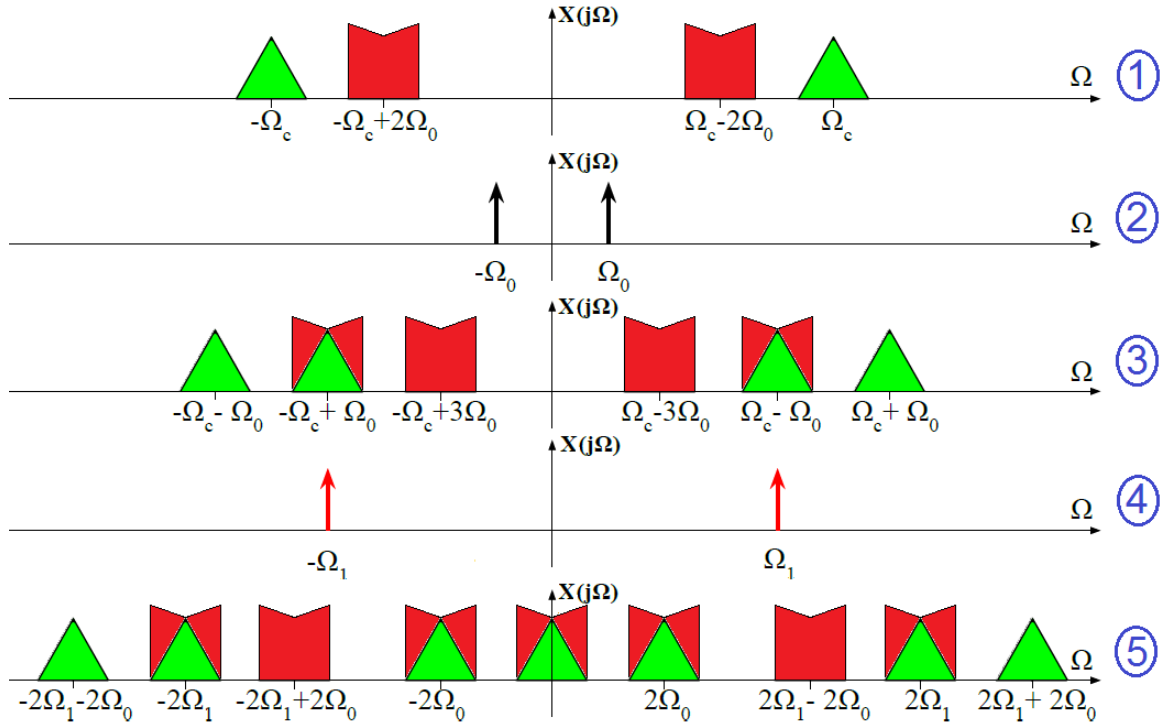


Figura 4: Transformada de Fourier das etapas da dupla conversão em frequência na presença de um sinal imagem.

Fonte: O autor.

Assim comprovamos que existe um sinal de frequência  $\Omega_i$  que também é deslocado para a banda base juntamente com o sinal de interesse  $\Omega_c$ , levando a sobreposição do mesmo. A frequência  $\Omega_i$  capaz de realizar essa sobreposição é chamada de frequência imagem.

### 2.1.2 Receptor homódino

O receptor homódino também é conhecido como receptor zero-FI ou receptor de conversão direta, por não possuir dupla conversão em frequência, realizando uma única conversão, de RF para a banda base. Apesar da aparente simplicidade dessa topologia, ela apresenta diversas desvantagens, como a dificuldade de seleção de canal de recepção, controle de *offset DC* e Ruído  $1/f$ . (MARTINS, 2002). A Figura 5 ilustra o diagrama simplificado de um receptor homódino.

### 2.1.3 Receptor com FI baixa

A topologia de conversão que utiliza baixa FI representa uma versão intermediária entre o conceito de um receptor super-heteródino e o conceito de um receptor homódino. Nesta concepção temos a característica de dupla conversão em frequência, entretanto, a

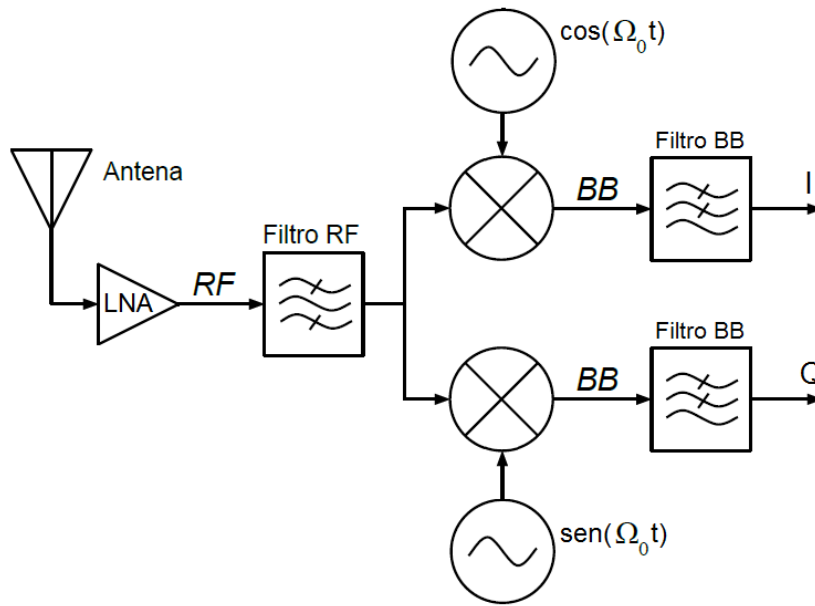


Figura 5: Diagrama do receptor homódino.

Fonte: O autor.

frequência escolhida para FI é extremamente baixa, próxima da banda base, aproximando esta topologia do conceito de recepção zero-FI. Tal condição facilita a integração do receptor mas minimiza as desvantagens inerentes aos receptores zero-FI, já citadas. Ainda assim, esta topologia também está sujeita a ocorrência do problema do sinal-imagem, da mesma forma que o receptor super-heteródino.

#### 2.1.3.1 Deslocamento unilateral em frequência

Uma solução possível para evitar a interferência do sinal imagem, é o uso da técnica de conversão unilateral de frequência em dois estágios, que realiza os deslocamentos em apenas um sentido do espectro, associado ao uso da técnica de subamostragem que realiza o primeiro deslocamento em frequência, conforme teoria que será detalhada na subseção 2.2.1.

A técnica proposta coloca, como princípio básico para evitar o problema do Sinal-Imagem, a realização dos deslocamentos em frequência em uma única direção (para a esquerda), conforme podemos verificar na Figura 6. Para que tal deslocamento unilateral seja possível precisamos garantir que os impulsos de Dirac, no domínio da frequência, que representam os elementos geradores dos deslocamentos, estejam presentes em apenas um dos lados do espectro ( $-\Omega_0$  e  $-\Omega_1$ ).

Ao realizarmos o deslocamento utilizando impulsos de Dirac apenas negativos teremos como resultado sinais complexos. Será necessário então extrair a parte real deste

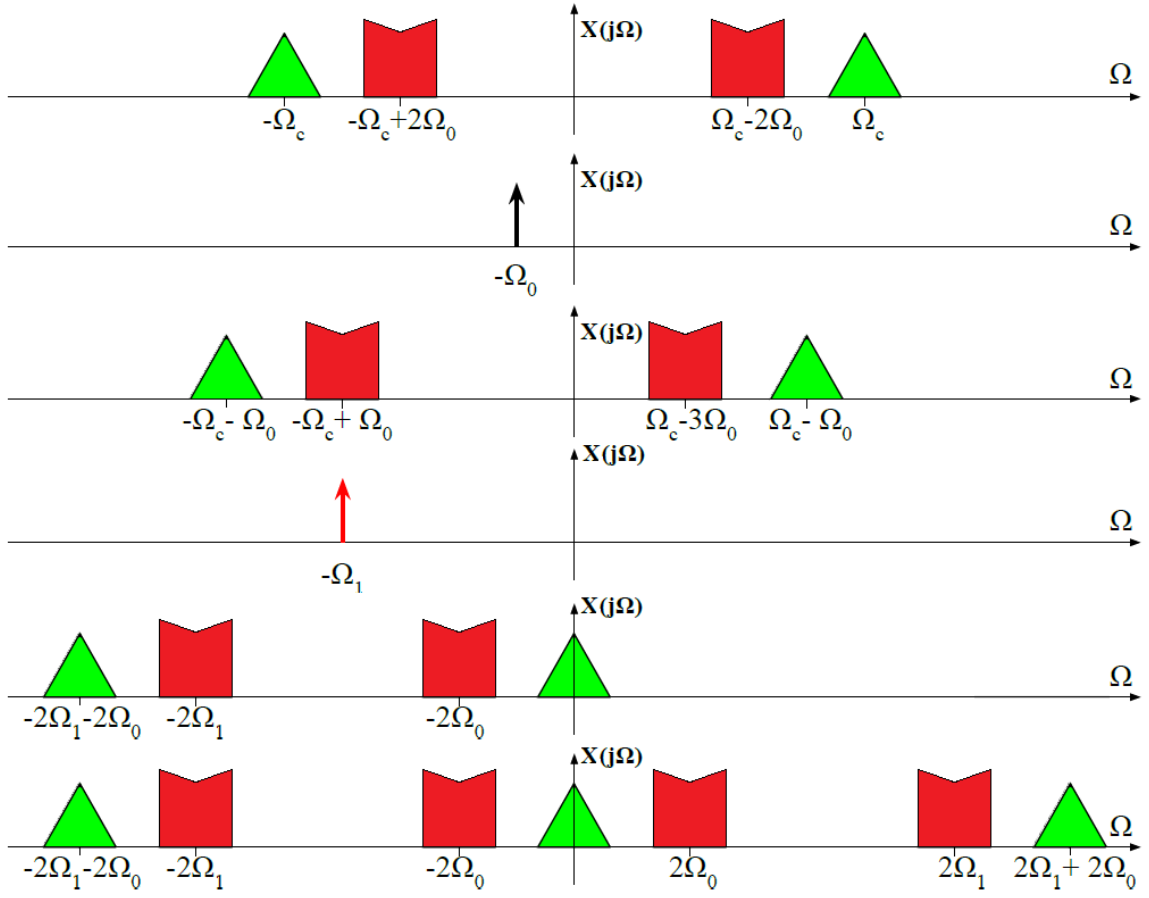


Figura 6: Rejeição de imagem por deslocamento unilateral na frequência.

Fonte: O autor.

resultado para restaurar a simetria no domínio da frequência. Para demonstrar a técnica de recepção proposta, consideremos um sinal de amplitude  $A_c$  modulado em quadratura (composto por duas vias I e Q defasadas de  $90^\circ$  entre si), expresso pela seguinte equação:

$$x_{(mod)}(t) = A_c[x_I(t)\cos(\Omega_c t) - x_Q(t)\sin(\Omega_c t)]. \quad (2.6)$$

Aplicando o duplo deslocamento para a esquerda e retirando a parte real do resultado teremos, para a via “I”, o seguinte resultado:

$$x_{I(BB)}(t) = \Re\{x_{(mod)}(t)e^{-j\Omega_1 t}e^{-j\Omega_0 t}\}. \quad (2.7)$$

Da mesma forma, para a via “Q”, aplicando-se uma defasagem de  $90^\circ$ , temos:

$$x_{Q(BB)}(t) = \Im\{x_{(mod)}(t)e^{-j\Omega_1 t}e^{-j\Omega_0 t}\}. \quad (2.8)$$

Aplicando a identidade de Euler:

$$e^{j\Omega_1 t} = \cos(\Omega_1 t) + j\sin(\Omega_1 t), \quad (2.9)$$

nas equações 2.7 e 2.8, obtemos:

$$x_I(t) = x_{(mod)}(t)[\cos(\Omega_1 t)\cos(\Omega_0 t) - \sin(\Omega_1 t)\sin(\Omega_0 t)]; \quad (2.10)$$

$$x_Q(t) = -x_{(mod)}(t)[\sin(\Omega_1 t)\cos(\Omega_0 t) + \cos(\Omega_1 t)\sin(\Omega_0 t)]. \quad (2.11)$$

## 2.2 ARQUITETURA DO RECEPTOR PROPOSTO

Os receptores apresentados anteriormente necessitam de um circuito de síntese de frequência capaz de gerar diversas frequências de batimento e promover a conversão em frequência, de diferentes sinais dentro do canal de interesse. Constata-se que os requisitos de largura de banda do sinal recebido e seletividade do canal estão diretamente relacionados aos projetos do circuito de síntese de frequência e do misturador. A complexidade no desenvolvimento destes circuitos está diretamente relacionada principalmente com a capacidade destes em promover a ampla variação da frequência de batimento.

Como forma de eliminar a necessidade de um circuito complexo de síntese de frequência no processo de conversão de frequências da recepção, a arquitetura apresentada por Sionek et al. (2017) propõe a demodulação de um sinal em banda base através da operação de subamostragem e dupla quadratura com baixa frequência intermediária, no tempo discreto. Posteriormente o deslocamento para banda base é realizado por um amplificador de ganho variável que emula ondas de seno e cosseno. Tais características serão abordadas a seguir.

### 2.2.1 Receptor com subamostragem

O processo de amostragem de um sinal consiste na discretização de um sinal analógico, convertendo-o em um conjunto de amostras, obtidas com um determinado intervalo entre-si, denominado período de amostragem. Com base nesse conjunto de amostras é possível a reconstrução do sinal original caso a frequência de amostragem seja superior ao dobro da máxima frequência do sinal amostrado, conforme estabelecido pelo teorema de Nyquist da amostragem.

Em um receptor baseado em subamostragem, a frequência de amostragem do sinal recebido é intencionalmente determinada como sendo inferior ao dobro da maior frequência do sinal amostrado, neste caso teremos a subamostragem do sinal, conforme detalhado a seguir.

Um sinal  $X_{(mod)}$  modulado em torno da portadora  $\Omega_c$ , com amplitude  $A_c$  pode ser expresso no domínio da frequência por

$$X_{(mod)}(j\Omega) = \pi A_c [X_c(j(\Omega - \Omega_c)) + X_c(j(\Omega + \Omega_c))], \quad (2.12)$$

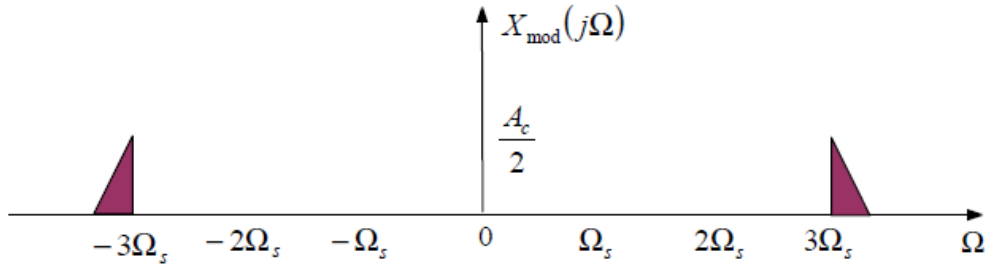
sendo  $X_c(j\Omega)$  o espectro do sinal modulado em banda base, ou seja, a informação propriamente dita. Ao amostrarmos o sinal  $X_{(mod)}$  com uma frequência de amostragem  $\Omega_s$ , obteremos

$$X_{(mod)-s}(j\Omega) = \frac{\pi A_c}{T} \sum_{k=-\infty}^{\infty} [X_c(j(\Omega - \Omega_c - k\Omega_s)) + X_c(j(\Omega + \Omega_c - k\Omega_s))], \quad (2.13)$$

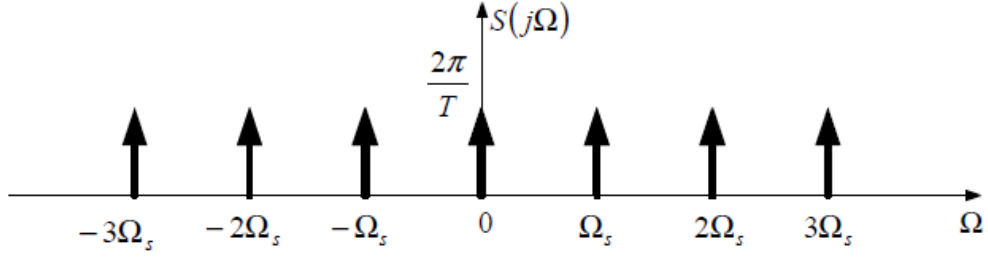
que pode ser expresso graficamente pela Figura 7, supondo que  $\Omega_c = 3\Omega_s$ .

Desse modo, temos discretização e a simultânea conversão em frequência do sinal, quando a frequência da portadora  $\Omega_c$  for múltipla da frequência de amostragem  $\Omega_s$ . Entretanto, deve-se manter um compromisso entre a largura de banda do sinal modulado e a frequência de amostragem. A frequência de amostragem  $\Omega_s$  deve ser superior ao dobro da banda ocupada por  $X_c$  para assim, ao atender o critério de Nyquist, garantir a correta reconstrução do sinal em banda base. Caso esse requisito não seja atendido, a realização da subamostragem acarretará na sobreposição dos sinais, causando a perda de informação, conforme ilustrado na Figura 8.

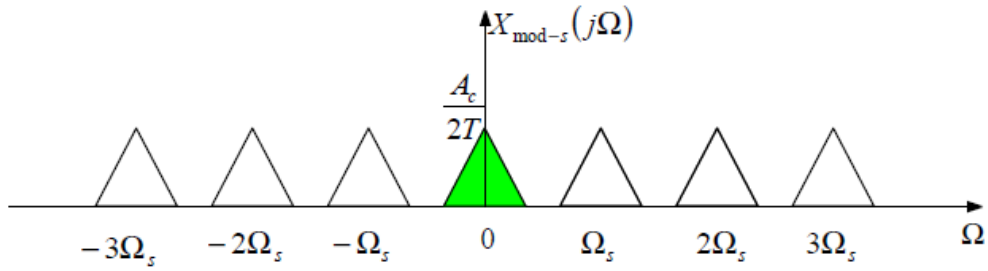




(a) Transformada de Fourier de um sinal modulado a ser amostrado.



(b) Transformada de Fourier do sinal amostrador



(c) Espectro do sinal após ser amostrado

Figura 7: Subamostragem do sinal - Operações no domínio da frequência.

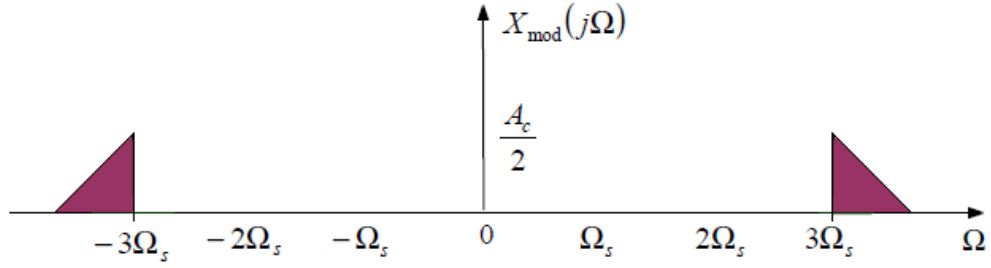
Fonte: Adaptado de Sionek (2014).

### 2.2.2 Conversão unilateral em frequência com o uso de subamostragem

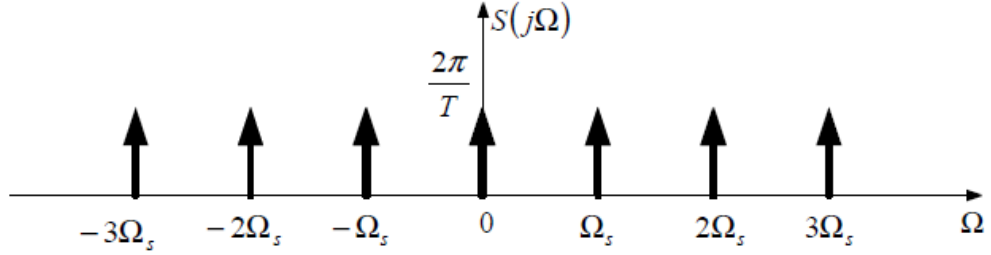
O primeiro deslocamento em frequência, anteriormente representado por um impulso de Dirac em  $\Omega_0$ , ou no domínio do tempo por  $e^{-j\Omega_0 t}$ , é agora realizado através da técnica de subamostragem descrita na seção 2.2.1. Para tal o valor de  $\Omega_0$  deve ser múltiplo ímpar da frequência de amostragem. São utilizados então, dois sinais amostradores  $s(t)$  e  $s'(t)$ , deslocados entre si por um quarto de período:

$$s(t) = \sum_{k=-\infty}^{\infty} \delta(t - nT); \quad (2.14)$$

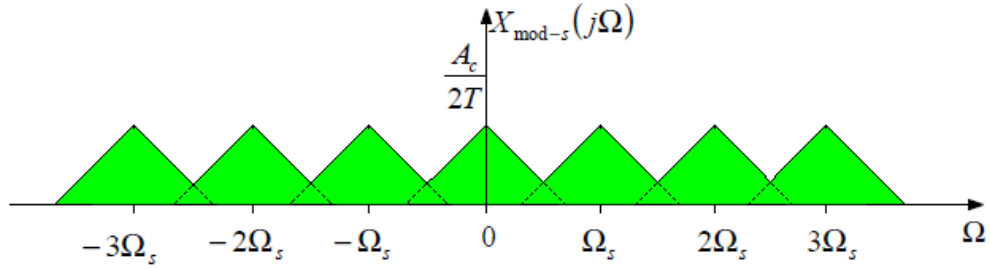
$$s'(t) = \sum_{k=-\infty}^{\infty} \delta\left(t - nT - \frac{T}{4}\right). \quad (2.15)$$



(a) Transformada de Fourier de um sinal modulado a ser amostrado.



(b) Transformada de Fourier do sinal amostrador



(c) Espectro do sinal após ser amostrado

Figura 8: Subamostragem com sobreposição.

Fonte: Adaptado de Sionek (2014).

Por sua vez, o segundo deslocamento em frequência não será realizado por um misturador convencional e um oscilador em  $\Omega_1$  ( $e^{-j\Omega_1 t}$  no domínio do tempo), mas sim pela aplicação de diferentes níveis de ganho em cada ponto amostrado. Dessa forma os sinais subamostrados expressos pelas equações 2.14 e 2.15 resultam em:

$$x_{I(demod)} = x_{(mod)}(t)[s(t)\cos(\Omega_1 t) - s'(t)\sin(\Omega_1 t)]; \quad (2.16)$$

$$x_{Q(demod)} = x_{(mod)}(t)[-s'(t)\cos(\Omega_1 t) - s(t)\sin(\Omega_1 t)]. \quad (2.17)$$

Com atenção especial à condição em que a diferença de fase entre o múltiplo de  $s(t)$  e  $s'(t)$  seja de  $270^\circ$ , quando será necessária a inversão dos sinais:

$$x_{I(demod)} = x_{(mod)}(t)[s(t)\cos(\Omega_1 t) + s'(t)\sin(\Omega_1 t)]; \quad (2.18)$$

$$x_{Q(demod)} = x_{(mod)}(t)[-s'(t)\cos(\Omega_1 t) + s(t)\sin(\Omega_1 t)]. \quad (2.19)$$

A Figura 9 apresenta o diagrama em blocos do receptor proposto, em que um amostrador de canal duplo realiza a subamostragem e um conjunto de quatro amplificadores aplica ganhos discretos ao sinal amostrado. Em seu trabalho, Sionek (2014) apresenta um estudo de viabilidade do receptor apresentado.

#### 2.2.2.1 Amplificador

O segundo elemento apresentado no diagrama da Figura 9 representa um conjunto de quatro amplificadores de ganho variável, operando em paralelo, que realizam a segunda conversão em frequência na recepção do sinal. Em cada um destes amplificadores o valor do ganho é controlado por uma palavra binária de  $n$  bits, a palavra de controle varia no tempo, promovendo uma variação do ganho aplicado no sinal de entrada. Constitui-se então uma tabela (*look-up table* - LUT) de palavras binárias de controle de ganho. Os valores predeterminados nessas LUTs são tais que uma leitura sucessiva das palavras binárias contidas na mesma produz uma variação senoidal, ou cossenoidal, do ganho no respectivo amplificador.

A pesquisa aqui apresentada se propôs a estudar especificamente o amplificador de ganho variável a ser aplicado na etapa de ganho do receptor proposto, sendo necessária a avaliação das topologias conhecidas e a proposição de uma solução para a prova de conceito do receptor.

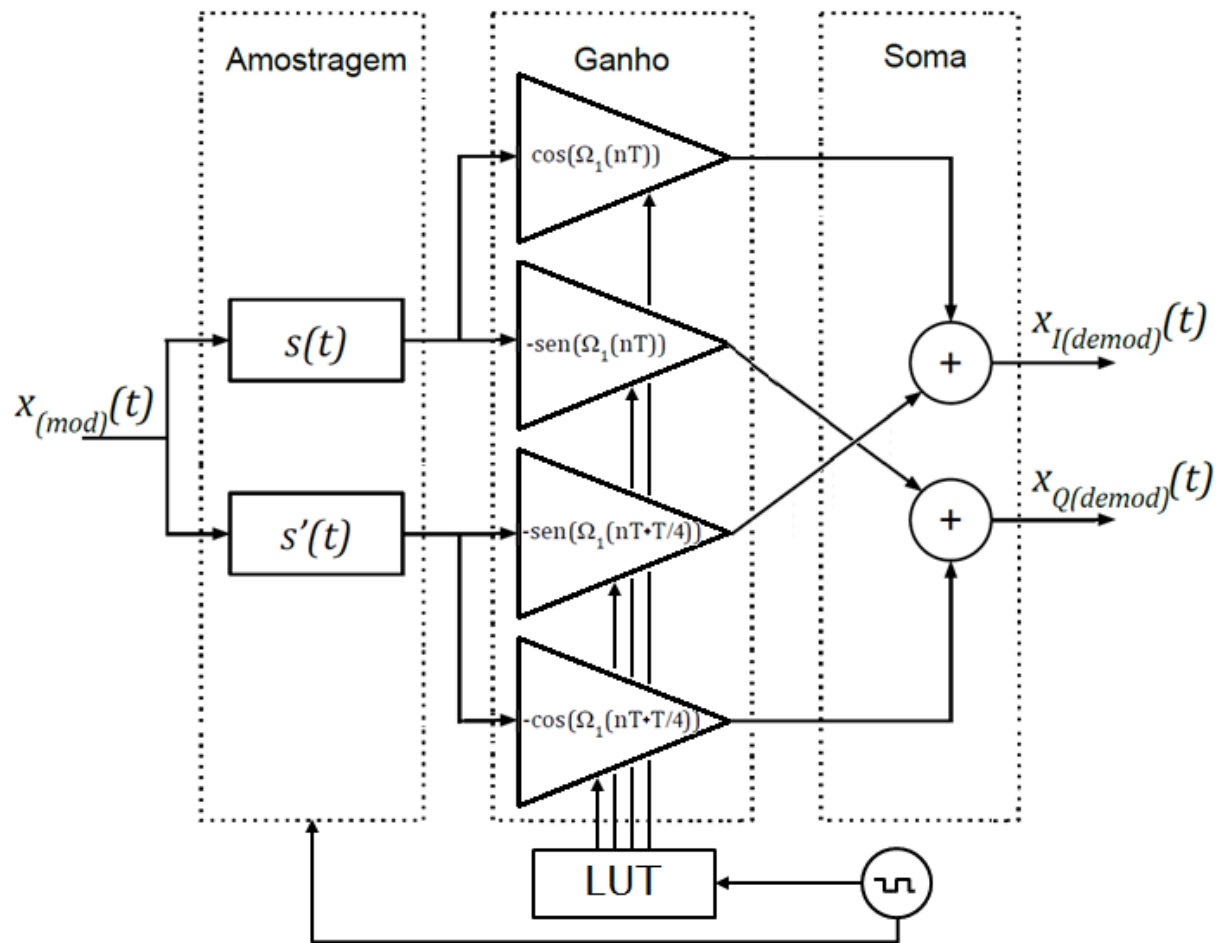


Figura 9: Diagrama do receptor proposto.

Fonte: Adaptado de Sionek (2014).



### 3 AMPLIFICADORES DE GANHO PROGRAMÁVEL

Amplificadores podem ser considerados elementos básicos em termos de circuitos eletrônicos. Enquanto válvulas ainda são empregadas em alguns amplificadores de alta potência, transistores, em suas diversas tecnologias de integração, são utilizados na maioria dos amplificadores aplicados em circuitos de RF ou de microondas. (MISRA, 2004). Neste contexto estudaremos as aplicações de amplificadores transistorizados que utilizam a tecnologia de integração CMOS na busca da solução desejada ao funcionamento do receptor apresentado no capítulo anterior.

O principal requisito do amplificador, necessário à implementação do receptor baseado em subamostragem com dupla quadratura, é a característica de controle do ganho, possibilitando alterar discretamente os seus valores e descrever uma variação senoidal ou cossenoidal do ganho.

Neste sentido, cabe avaliar que a característica de controle do ganho implementada no projeto do circuito resulta da definição do tipo de amplificador. Uma abordagem que promove a variação do ganho através de uma característica de controle analógica, seja ela um sinal de tensão ou corrente, caracteriza um amplificador de ganho variável - VGA<sup>1</sup>, cujo termo variável refere-se à característica analógica do sinal de controle, que por definição, pode atingir infinitos pontos de variação do ganho, dentro da faixa de variação para a qual foi projetado.

Em uma abordagem derivada do controle analógico de ganho, temos o controle digital implementado por um amplificador de ganho programável - PGA<sup>2</sup>. Nesta abordagem, o ganho assume pontos finitos e discretos dentro da faixa de variação de ganho para a qual o circuito foi projetado. Mesmo um amplificador de ganho variável, por vezes utiliza um conversor digital-analógico (D/A) para promover a variação de ganho a partir de um sinal gerado por um circuito de controle digital e emulando, por conseguinte, uma variação discreta do ganho. (NGUYEN et al., 2009).

---

<sup>1</sup>Acrônimo do termo em inglês *Variable Gain Amplifier*.

<sup>2</sup>Acrônimo do termo em inglês *Programmable Gain Amplifier*.

De modo geral podemos chamar os amplificadores que implementam algum tipo de controle de ganho como VGA e especificar, caso se trate de um amplificador com níveis discretos de ganho, nominando-o como PGA. Com a intenção de revisar a bibliografia existente sobre as topologias utilizadas em amplificadores de ganho variável, trataremos das principais aplicações e principais topologias a seguir. Também será abordada a classificação de região de operação de circuitos multiplicadores e o conceito do multiplicador baseado na célula de Gilbert. Tais conceitos serão relevantes na revisão da arquitetura, abordada no próximo capítulo.

### 3.1 VGAS APLICADOS EM RF

Dentre as principais aplicações de um amplificador de ganho variável podemos destacar sua utilização em circuitos de Controle Automático de Ganho - AGC. Nestes circuitos, uma rede de realimentação implementada pelo AGC promove a variação controlada do ganho do amplificador variável de modo a manter a saída de sinal com amplitude constante, mesmo com variações de amplitude do sinal de entrada. (DUONG et al., 2006). A Figura 10 apresenta duas topologias de um AGC, a de *feedback* e a de *feedforward*, nas quais podemos identificar a utilização do amplificador de ganho variável na topologia do controle automático de ganho. (MORAES, 2012).

Os circuitos de controle automático de ganho possuem duas aplicações mais comuns. A primeira na arquitetura de cadeias de recepção de sinal em sistemas de comunicação sem fio quando deve-se considerar que a distância do emissor, em relação ao receptor, pode variar, alterando assim a potência do sinal recebido e tornando necessária a aplicação do controle de ganho. Outra aplicação comum do AGC é na redução da variação dos sinais de saída de circuitos leitores de disco rígido e sensores de imagem CCD, causadas por alterações de parâmetros e das fontes de alimentação. (DUONG et al., 2006). Em ambos os casos, o controle sobre o ganho é necessário para atenuar ou amplificar o sinal recebido e assim, adequar amplitude do mesmo à faixa dinâmica de operação do bloco subsequente. (HSU; WU, 2003).

### 3.2 TOPOLOGIAS CONHECIDAS

Esta seção tem por objetivo apresentar um estudo das técnicas conhecidas para a implementação de controle de ganho em circuitos amplificadores. Entretanto torna-se oportuno salientar que a utilização do termo amplificador representa uma abordagem simplificada para um circuito que se propõe a multiplicar o sinal de entrada por uma

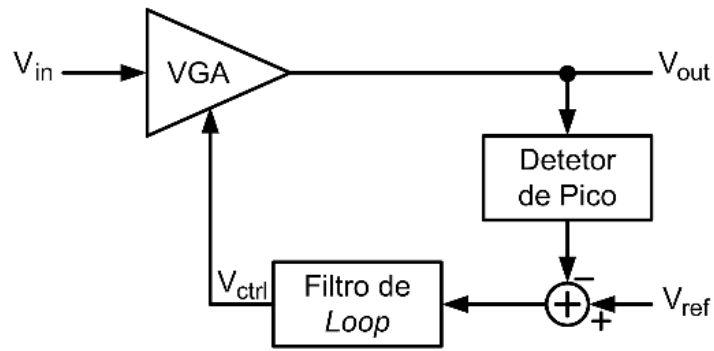
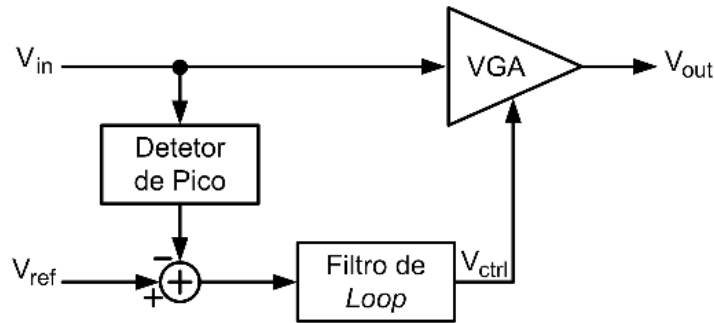
(a) *Feedback*(b) *Feedforward*

Figura 10: Topologias de controle automático de ganho

Fonte: Moraes (2012).

constante, no caso de amplificadores de ganho fixo, ou por um valor arbitrado e controlado, neste viés específico de amplificadores de ganho variável. Esta abordagem simplificada se sustenta na característica que o referido circuito pode se tornar um atenuador de atenuação variável a medida que o ganho arbitrado torne o sinal de saída inferior em relação àquele aplicado na entrada. Posto isso, será utilizado ao longo deste trabalho o termo amplificador como uma forma simplificada de se referir a um circuito com capacidade de multiplicar o sinal de entrada por um valor de referência.

As técnicas apresentadas serão dispostas em dois grupos distintos para facilitação do entendimento. O primeiro condensará as técnicas conhecidas de variação do ganho implementadas na realimentação de amplificadores. O segundo grupo apresentará as técnicas implementadas em amplificadores de malha aberta que objetivam a modificação de parâmetros internos do amplificador para atingir a variação de ganho desejada.

### 3.2.1 Amplificadores em malha fechada

Nesta subseção serão elencados conceitos básicos sobre realimentação e largura de banda em amplificadores em malha fechada. Na sequência serão apresentadas as técnicas



que promovem a variação de ganho do amplificador através da modificação de parâmetros da rede de realimentação.

### 3.2.1.1 Realimentação

A inserção de uma malha de realimentação, conforme ilustrada na Figura 11, influencia diretamente no ganho do sistema. Para avaliar tal influência cabe analisar a função de transferência deste tipo de circuito, conforme detalhado a seguir.

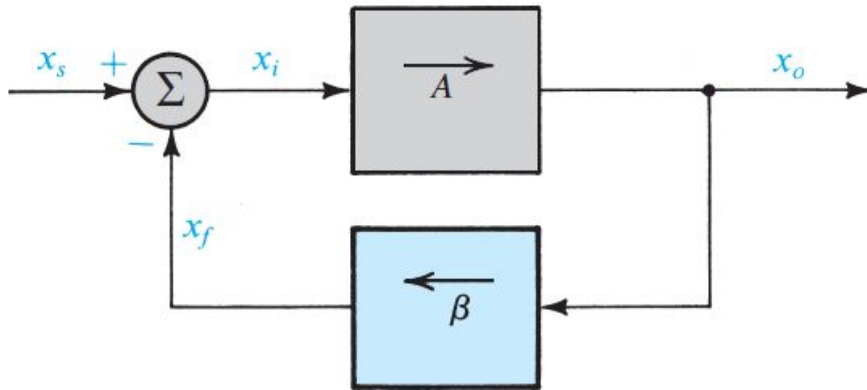


Figura 11: Diagrama básico de um amplificador em malha fechada.

Fonte: Adaptado de Sedra e Smith (2004).

Considerando que o amplificador em malha aberta possui um ganho  $A$ , o sinal de saída  $x_o$  estará relacionado com o sinal de entrada  $x_i$  por

$$x_o = Ax_i. \quad (3.1)$$

Por sua vez, o sinal de saída  $x_o$  é amostrado por uma rede de realimentação que resulta em um sinal de realimentação  $x_f$ , que estão relacionados entre si pelo chamado fator de realimentação  $\beta$ , pela expressão

$$x_f = \beta x_o. \quad (3.2)$$

Assim, se o sinal de entrada do amplificador em malha aberta  $x_i$  é expresso pela

relação entre o sinal de entrada do sistema  $x_s$  e o sinal da malha de realimentação  $x_f$  conforme

$$x_i = x_s - x_f . \quad (3.3)$$

Logo o ganho do amplificador em malha fechada é obtido pela combinação das equações 3.1, 3.2 e 3.3, resultando em

$$A_f = \frac{x_o}{x_s} = \frac{A}{1 + A\beta} . \quad (3.4)$$

Desta forma demonstra-se que o ramo de realimentação influencia diretamente no ganho de um amplificador em malha fechada, especialmente quando  $A\beta \gg 1$ . Esta característica é explorada pelas topologias de amplificador de ganho variável que se utilizam de amplificadores em malha fechada, ao alterar a malha de realimentação para promover a variação controlada do ganho.

### 3.2.1.2 Relação entre ganho e largura de banda

Um aspecto relevante no estudo de amplificadores em malha fechada com ganho variável diz respeito à relação entre ganho e largura de banda neste tipo de amplificador. Para avaliarmos tal aspecto tomamos como base o ganho em malha aberta, expresso pela variável  $A$ , na Figura 11. Para altas frequências consideremos que a resposta deste amplificador é caracterizada por um pólo simples, assim o ganho deste passa a ser expresso por

$$A(s) = \frac{A_0}{1 + \frac{s}{\omega_P}} , \quad (3.5)$$

na qual  $\omega_P$  representa a frequência de corte superior e  $A_0$ , o ganho em banda média. Logo, se considerarmos que a realimentação independe da frequência, a função de transferência em malha fechada passa a ser expressa por:

$$A_f(s) = \frac{A(s)}{1 + \beta A(s)} ; \quad (3.6)$$

$$A_f(s) = \frac{\frac{A_0}{1+A_0\beta}}{1 + \frac{s}{\omega_P(1+A_0\beta)}} . \quad (3.7)$$

Dessa forma, o amplificador em malha fechada apresentará um ganho em banda média de  $A_0/(1 + A_0\beta)$  e uma frequência de corte superior,  $\omega_{pf}$ , dada por

$$\omega_{pf} = \omega_P(1 + A_0\beta). \quad (3.8)$$

Esta expressão demonstra que a realimentação desloca o pólo ao longo do eixo real negativo, conforme Figura 12(a). Assim observamos que a largura de banda do amplificador em malha fechada é aumentada pelo mesmo fator que reduz o ganho em banda média (Figura 12(b)), resultando em um produto ganho-banda constante.

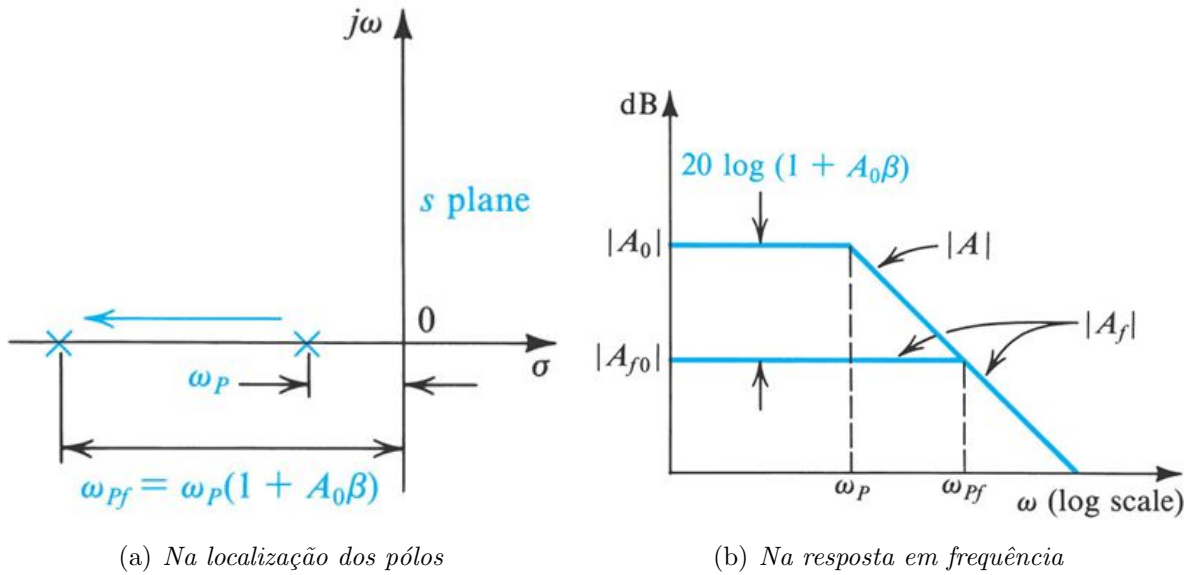


Figura 12: O efeito da realimentação.

Fonte: Sedra e Smith (2004).

Tal comportamento merece especial atenção quando se utiliza da modificação da malha de realimentação para promover a alteração do ganho em um VGA. Deve-se, neste caso, avaliar se a mudança da largura de banda, nos diversos níveis de ganho, compromete o funcionamento geral do amplificador em relação à faixa de frequência na qual ele deve

responder e em relação ao escalonamento dos níveis de ganho ao longo da banda de operação do circuito.

### 3.2.1.3 Técnica de divisão de corrente

Esta técnica se baseia inicialmente no estudo da divisão controlada da corrente entre ramos distintos, apresentado por Bult e Geelen (1992) no qual os autores utilizavam apenas transistores MOS para a implementação da referida divisão.

A técnica em questão pode ser exemplificada com base da análise do circuito da Figura 13. Considerando que ambos os transistores possuem a mesma tensão entre porta e substrato, denominada  $V_g$ , e que as tensões DC<sup>3</sup> identificadas por  $V_a$  e  $V_b$  são tais que os transistores operam na região de saturação. Dessa forma observa-se que a corrente  $I_{in}$  se divide entre os dois ramos, fluindo parte pelo nó representado pela fonte  $V_a$  e parte pelo nó representado pela fonte  $V_b$ . (BULT; GEELLEN, 1992).

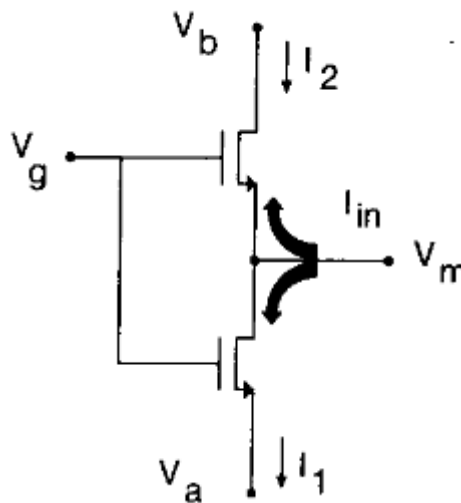


Figura 13: Princípio básico da divisão de corrente.

Fonte: Bult e Geelen (1992).

Ainda, segundo Bult e Geelen (1992), a divisão da corrente ocorre de forma constante e independente da corrente  $I_{in}$ , de forma independente dos valores de  $V_a$  e  $V_b$ , da condição de saturação dos transistores e o grau de inversão dos mesmos. Essas características fazem da técnica de divisão de corrente uma boa escolha para implementações com alto grau de integração pois apresenta baixa influência das variações do processo de fabricação. (BULT; GEELLEN, 1992).

<sup>3</sup>Acrônimo do termo em inglês *Direct Current* que pode ser traduzido pelo termo “corrente contínua”.

Baseados no conceito representado pela técnica de divisão de corrente, foram projetados amplificadores de ganho programável derivados desta técnica. Estes amplificadores baseiam-se na topologia de malha fechada e utilizam uma derivação da técnica de divisão de corrente para promover o controle da corrente que flui pela malha de realimentação. (SANZ et al., 2001).

Na Figura 14(a) é apresentada a disposição do circuito de divisão controlada de corrente na saída do amplificador operacional de transcondutância - OTA<sup>4</sup>. Na Figura 14(b) observa-se em detalhe o bloco de divisão de corrente aplicado. Pode-se observar neste bloco o sinal de controle digital D, a corrente de entrada  $I_{IN}$  e as correntes de saída  $kI_{IN}$  e  $(1-k)I_{IN}$  oriundas da divisão de corrente controlada pelo sinal D, considerando que o valor de  $k$  esteja compreendido entre 0 e 1. Esta topologia foi adotada por Sanz et al. (2001) e por Sanz, Celma e Calvo (2006) nos respectivos amplificadores de ganho programável apresentados em seus estudos.

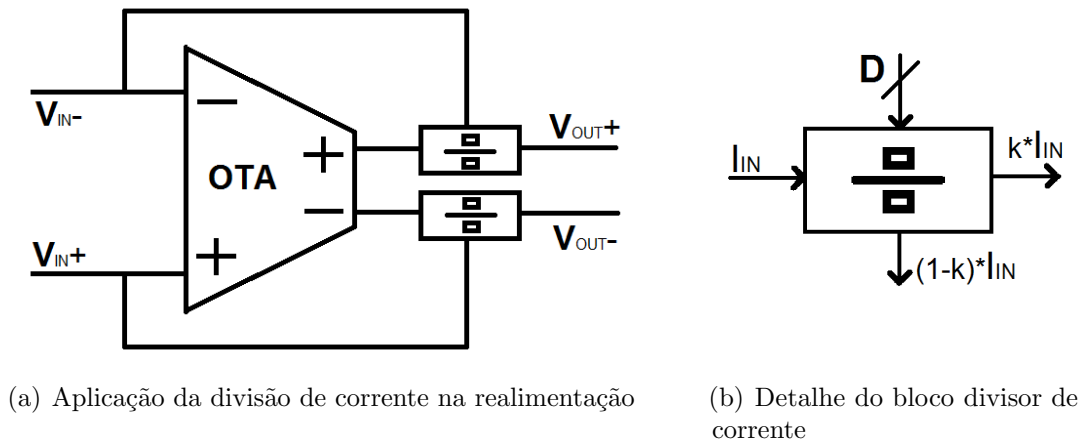


Figura 14: Realimentação por divisão de corrente

Fonte: O autor.

Em sua pesquisa, Sanz, Celma e Calvo (2006) apresentam duas diferentes redes que podem ser implementadas para a divisão da corrente de realimentação, a primeira representa uma aplicação direta da teoria de divisão de corrente apresentada por Bult e Geelen (1992), conforme Figura 15, na qual duas redes de transistores em paralelo são acionadas com lógica inversa para direcionar a corrente entre um ramo ou outro de acordo com a palavra de controle  $A(n)$ , esta rede foi chamada pelos autores de divisão de corrente MOS - MCD<sup>5</sup>. Neste caso o ganho de tensão  $A_v$  do referido amplificador é dado pela equação 3.9.

<sup>4</sup>Acrônimo do termo em inglês *Operational Transconductance Amplifier*.

<sup>5</sup>Acrônimo do termo em inglês *MOS current divider*.

$$A_v = \frac{\Delta}{1 - \Delta} \frac{R_f}{R_{in}} \eta, \quad (3.9)$$

sendo:

$$\Delta = \frac{1}{m(2^n - 1) + 2} \left( 1 + m \sum_{j=0}^{n-1} a_j 2^j \right);$$

$$m = \frac{(W/L)_{a0}}{(W/L)_a}.$$

Na qual  $\eta$  representa a influência da transcondutância finita do OTA e  $n$  indica o tamanho da palavra de controle ( $A(n)$ ).

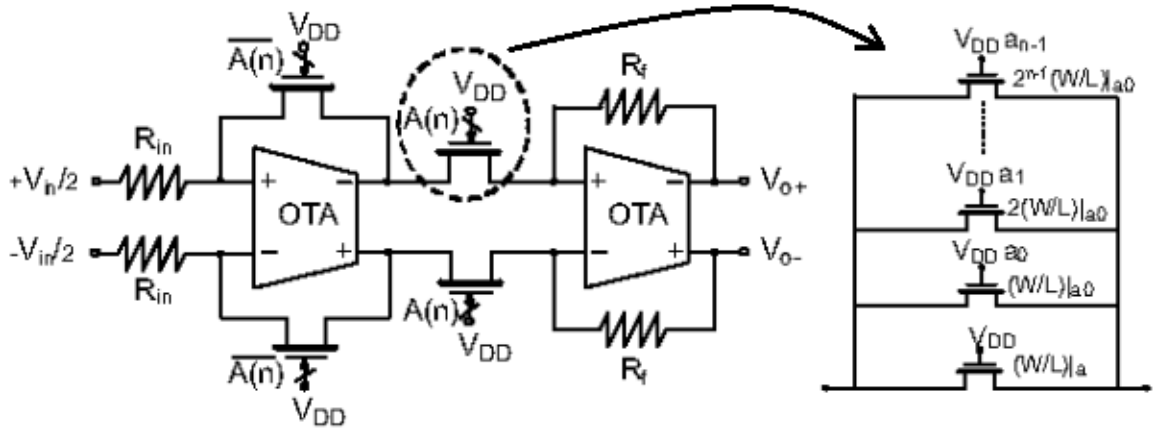


Figura 15: PGA baseado em divisor de corrente MOS.

Fonte: Sanz, Celma e Calvo (2006).

Em uma segunda abordagem apresentada por Sanz, Celma e Calvo (2006), o bloco de divisão de corrente apresentado na Figura 14(b) foi implementado por uma rede de transistores MOS baseados nas clássicas redes de resistores R-2R, conforme apresentado na Figura 16. Utilizando-se desta rede R-2R MOS em vez da apresentada no detalhe da Figura 15, obtém-se a mesma expressão para o ganho de tensão dado pela equação 3.9, com a diferença que o fator  $\Delta$  passa a ser o seguinte:

$$\Delta = \frac{1}{2^n} \left( \sum_{j=0}^{n-1} a_j 2^j \right).$$

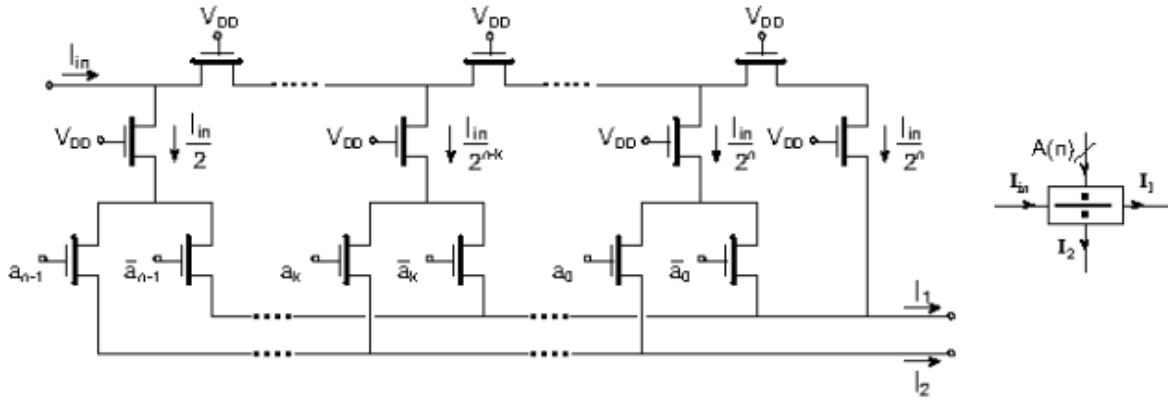


Figura 16: Divisor de corrente R-2R MOS.

Fonte: Sanz, Celma e Calvo (2006).

O uso da técnica de divisão de corrente no projeto de amplificadores de ganho programável apresenta, como principais vantagens, uma alta linearidade e um consumo moderado de área de silício, quando comparada com outras topologias em malha fechada. (SANZ; CELMA; CALVO, 2006). Adicionalmente observa-se que a característica de impedância do divisor de corrente é constante. (SANZ et al., 2001).

#### 3.2.1.4 Técnica dos resistores chaveados

Uma segunda abordagem para a implementação da variação de ganho por meio da realimentação de um amplificador em malha fechada propõe a modificação do valor de resistência de realimentação. A Figura 17 apresenta o conceito básico de variação da resistência para modificação do ganho do amplificador, baseado na equação do ganho do amplificador não inversor, expresso por  $1 + \frac{R_{f1}}{R_1}$ .

Com o uso desta técnica uma alta linearidade pode ser alcançada, no entanto, com a variação do valor de  $R_{f1}$  observa-se a variação do fator de realimentação e por consequência, da banda passante e da distorção harmônica total do circuito. Para reverter essa desvantagem, se a variação de ganho for implementada somente pela variação de  $R_1$ , o fator de realimentação do amplificador será constante, restando a ressalva de que o circuito não possibilitará a atenuação do sinal, sendo o ganho sempre maior que um. (HSU; WU, 2003).

Em seu projeto de amplificador de ganho programável, Hsu e Wu (2003) utilizaram um conjunto de resistores chaveados por transistores MOS, no arranjo apresentado na Figura 18 para implementar a variação de resistência do componente equivalente ao resistor

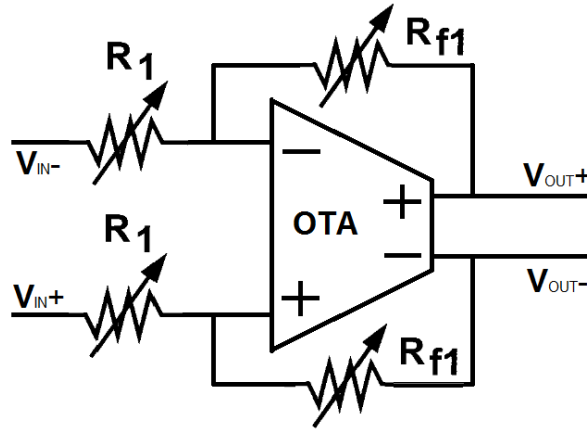


Figura 17: Amplificador diferencial com rede de realimentação variável.

Fonte: O autor.

$R_1$  constante da Figura 17, mantendo o resistor  $R_{f1}$  da referida figura, com seu valor fixo, em razão dos argumentos expostos no paragrafo anterior.

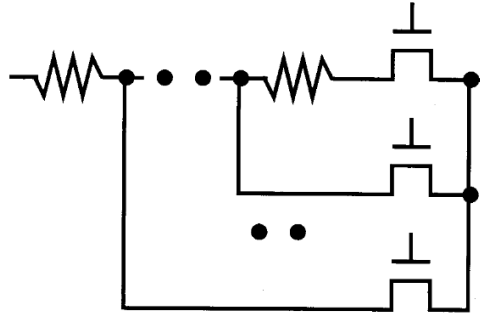


Figura 18: Arranjo de resistores chaveados.

Fonte: Hsu e Wu (2003).

Em uma outra abordagem do problema de variação de fator de realimentação exposto por Hsu e Wu (2003), o estudo apresentado por Mak, Seng-Pan e Martins (2008) apresenta uma solução para implementar a variação de ganho através da variação do resistor  $R_{f1}$ , sem que isso venha a acarretar numa variação da banda passante do amplificador com a alternância do ganho. Essa proposta utiliza a técnica denominada chaveamento de resistência e corrente.

A Figura 19 apresenta um amplificador de transcondutância com a malha de realimentação proposta por Mak, Seng-Pan e Martins (2008), considerando que a realimentação da saída negativa possui a mesma arquitetura da realimentação da saída positiva, essa foi suprimida da figura. A realimentação em questão é composta por um resistor fixo  $R_{fb}$  e um conjunto de resistores chaveados em paralelo,  $R_{fb,1} a R_{fb,n}$ , cada um dos resistores  $R_{fb,n}$  possui uma fonte de corrente  $I_{fb,n}$  e um resistor  $R_{x,n}$  conectado ao terra do circuito. Por



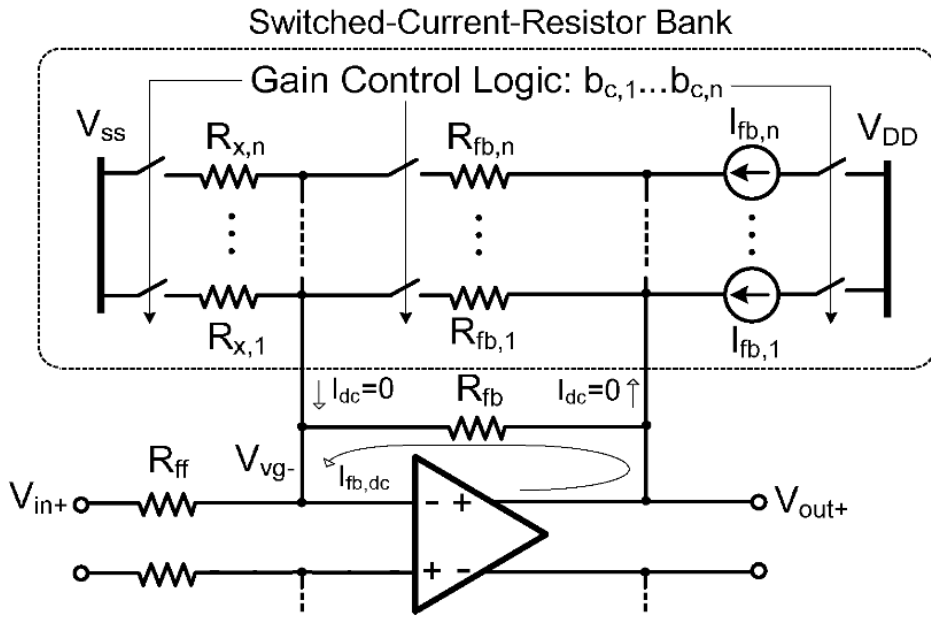


Figura 19: Realimentação por chaveamento de resistores e fontes de corrente.

Fonte: Mak, Seng-Pan e Martins (2008).

fim, cada trio, composto por um resistor  $R_{fb,n}$ , um resistor  $R_{x,n}$  e uma fonte de corrente  $I_{fb,n}$ , é chaveado de forma simultânea pelo respectivo bit de controle  $b_{c,n}$ , promovendo o controle programável do ganho. (MAK; SENG-PAN; MARTINS, 2008).

Utilizando esta variação da técnica de chaveamento de resistores, Mak, Seng-Pan e Martins (2008) obtiveram, além da estabilidade da banda passante, um aumento da faixa de variação útil da tensão de saída em relação a tensão de alimentação, fato que demonstra uma vantagem na utilização dessa técnica em circuitos de baixa tensão.

Entretanto, o fato da técnica utilizar resistores para a variação do ganho resulta em uma maior ocupação de área de silício para a implementação destes amplificadores programáveis quando se tem por objetivo o baixo consumo de potência. Esta perspectiva se baseia no fato de que, para se obter pequenas correntes da ordem de  $\mu A$  e assim, consequentemente, baixo consumo de potência, os resistores integrados necessitam ser de valores elevados, resultando em uma maior área de silício utilizada.

#### 3.2.1.5 Técnica dos capacitores chaveados

A técnica de utilização de capacitores chaveados consiste, em síntese, na implementação de uma capacitância variável na rede de realimentação de um amplificador de transcondutância. Diferentemente do uso do termo “chaveamento”, nas técnicas anteriores, que se referiam ao chaveamento do elemento que produziria a alternância de ganho, a técnica por capacitores chaveados advém do conceito de amplificador por capacitância

chaveada - SCA<sup>6</sup> - que promove o chaveamento em contra fase do capacitor de entrada em relação ao capacitor de realimentação. Em seu estudo, Gabian, Lutenberg e Lipovetzky (2014) apresentam uma topologia simplificada da técnica de capacitores chaveados que servirá para a análise básica do comportamento deste tipo de arquitetura no projeto de um amplificador de ganho programável, conforme apresentada na Figura 20.

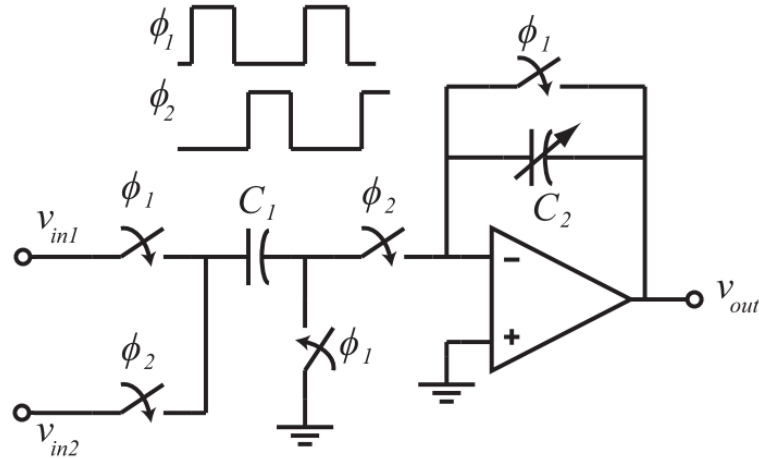


Figura 20: Realimentação por capacitores variáveis.

Fonte: Gabian, Lutenberg e Lipovetzky (2014).

O ganho apresentado pelo amplificador da Figura 20 é dado pela equação (3.10). (GABIAN; LUTENBERG; LIPOVETZKY, 2014). Nesta abordagem é utilizado um amplificador de entrada e saída em modo comum, no entanto, a topologia implementada cria a condição de entrada diferencial conforme pode ser verificado também na equação (3.10), uma vez que a saída é proporcional a diferença dos sinais de entrada  $V_{in1}$  e  $V_{in2}$ .

$$V_{out} = \frac{C_1}{C_2}(V_{in1} - V_{in2}) \quad (3.10)$$

O funcionamento do circuito apresentado na Figura 20 está condicionado a existência de dois sinais de amostragem  $\phi_1$  e  $\phi_2$  em contra fase entre si, sem sobreposição das bordas de subida e descida, como ilustrado na Figura 20. Nestas condições, quando  $\phi_1$  encontra-se em nível alto, o valor de  $V_{in1}$  é amostrado pelo capacitor  $C_1$  em relação ao terra do circuito, já na próxima fase do sinal, os níveis de  $V_{in1}$  e  $V_{in2}$  são invertidos,  $V_{in2}$  é conectado na entrada e o capacitor  $C_2$  é aplicado na realimentação do amplificador, dessa forma a saída  $V_{out}$  resultará de uma razão entre  $C_1$  e  $C_2$ , proporcional a diferença dos sinais de entrada  $V_{in1}$  e  $V_{in2}$ . (GABIAN; LUTENBERG; LIPOVETZKY, 2014).

<sup>6</sup>Acrônimo do termo em inglês *switched-capacitor amplifier*.

Com base na equação (3.10), verifica-se que a variação do ganho do amplificador na Figura 20 é determinado pela variação do valor de capacitância  $C_2$ . Para obter tal variação Gabian, Lutenberg e Lipovetzky (2014) propuseram o arranjo de capacitores apresentado da Figura 21. Neste arranjo os valores de capacitância se mantêm proporcionais, diminuindo a influência do processo de fabricação na variação do ganho, e o controle é feito pelo chaveamento dos transistores em série. Foram adotados valores múltiplos de  $2^n$  para as capacitâncias de modo a implementar uma lógica binária de controle, assim o acionamento do transistor  $G_0$  representaria o bit de controle menos significativo, e o acionamento do transistor  $G_5$  representaria o bit de controle mais significativo.

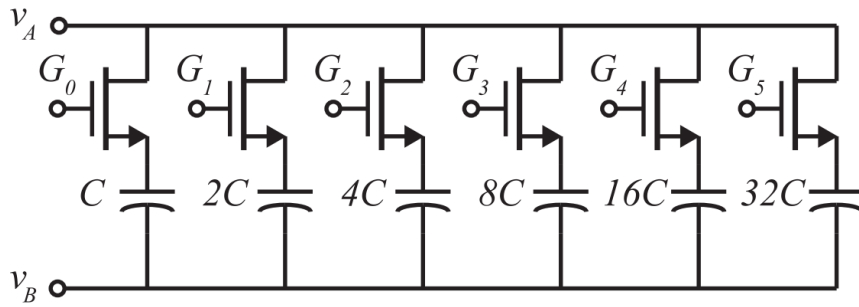


Figura 21: Arranjo de capacitores chaveados.

Fonte: Gabian, Lutenberg e Lipovetzky (2014).

A escolha do capacitor ( $C_1$  ou  $C_2$ ) que será implementado sobre a forma variável deve ser feita a luz de alguns fatores. A variação do capacitor  $C_1$  pode resultar em uma redução na faixa útil de excursão do sinal de saída, devido a limitação das linhas de alimentação. (GABIAN; LUTENBERG; LIPOVETZKY, 2014). Entretanto a escolha pela variação do capacitor  $C_2$  resulta na variação da banda passante do sinal, conforme motivos já elencados no estudo da largura de banda de amplificadores em malha fechada. Uma análise de compromisso entre estas duas limitações deve ser realizada no advento de utilização da técnica em questão.

### 3.2.2 Amplificadores em malha aberta

Nesta seção serão apresentadas as técnicas que promovem a variação de ganho através da modificação de parâmetros internos do amplificador, promovendo a implementação de um amplificador de ganho variável em malha aberta. O par diferencial MOS, apresentado na Figura 22, é o elemento central das topologias apresentadas a seguir, tornando-se relevante elencar que o cálculo de ganho deste é dado por

$$A_v = -g_m R_D , \quad (3.11)$$

sendo  $g_m$  a transcondutância dos transistores MOS idênticos que formam o par diferencial.

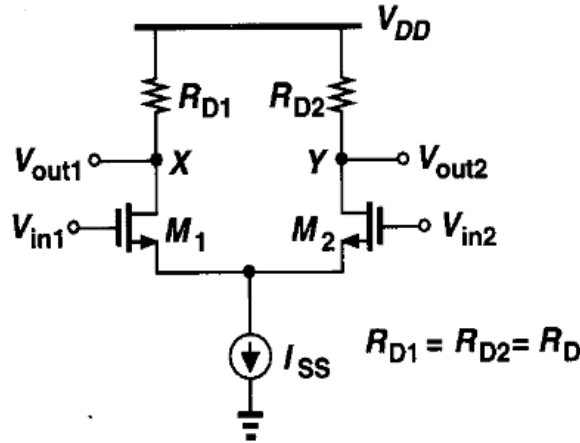


Figura 22: Par diferencial básico.

Fonte: Razavi (2002).

### 3.2.2.1 Variação da corrente de polarização

Em uma primeira análise da equação 3.11, verifica-se que se apresentam duas formas de atingir a variação do ganho, primeiro modificando a transcondutância  $g_m$  do amplificador ou variando a resistência de carga  $R_D$ . Em um primeiro instante buscou-se verificar a possibilidade de variação da transcondutância. Para tal é importante considerar que a transcondutância  $g_m$  do par diferencial MOS construído com dois transistores idênticos é expressa por

$$g_m = \sqrt{\mu_n C_{ox} \frac{W}{L} I_{SS}} , \quad (3.12)$$

sendo  $\mu_n$  a mobilidade dos elétrons,  $C_{ox}$  a capacitância de óxido por unidade de área em um transistor MOS,  $W$  a largura do canal e  $L$  o comprimento do canal.

Considerando que a mobilidade dos elétrons e a capacitância de óxido são variáveis inerentes ao processo de fabricação, que as dimensões  $W$  e  $L$  dos transistores são fixadas no momento do projeto, a análise da equação 3.12 mostra que a mudança do ponto de

polarização dos transistores, através da variação da corrente de cauda do par diferencial  $I_{SS}$  é a variável capaz de ser controlada, durante a operação final do circuito, com o propósito de alterar a transcondutância do par diferencial.

Neste viés, a proposta de topologia que busca controlar a corrente de polarização do par diferencial vem a atender o objetivo em questão, a obtenção de ganho variável, através da variação da corrente  $I_{SS}$ . A Figura 23 apresenta de forma simplificada a topologia proposta nesta seção, utilizando-se de uma fonte de corrente variável  $I_{C1}$  como elemento passível de controle.

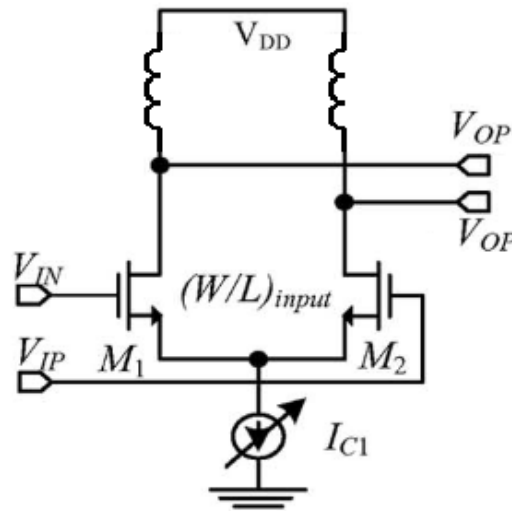


Figura 23: Variação da corrente de polarização.

Fonte: Adaptado de Nguyen et al. (2009).

Em seu trabalho, Duong et al. (2006) propõem a variação da corrente de polarização através da aplicação de um transistor no lugar da fonte  $I_{C1}$ , conforme transistor  $M_{21}$  da Figura 24(b). Assim torna-se possível o controle da respectiva corrente de cauda do par diferencial, em razão da tensão de porta deste transistor, cujo valor é controlado pelo circuito apresentado na Figura 24(a). Adicionalmente os referidos autores promovem o controle da corrente de polarização da carga formada pelos transistores  $M_{18}$  e  $M_{19}$ , controlando a tensão na porta do transistor  $M_{22}$ .

### 3.2.2.2 Degeneração de par diferencial

Na mesma ótica apresentada como base para a técnica de variação da corrente de polarização, uma outra abordagem possível para implementar a variação de ganho do respectivo amplificador consiste em introduzir uma resistência de degeneração entre os ramos do par diferencial, como pode ser observado pela inclusão do resistor variável  $R_{degen}$ , conforme Figura 25.

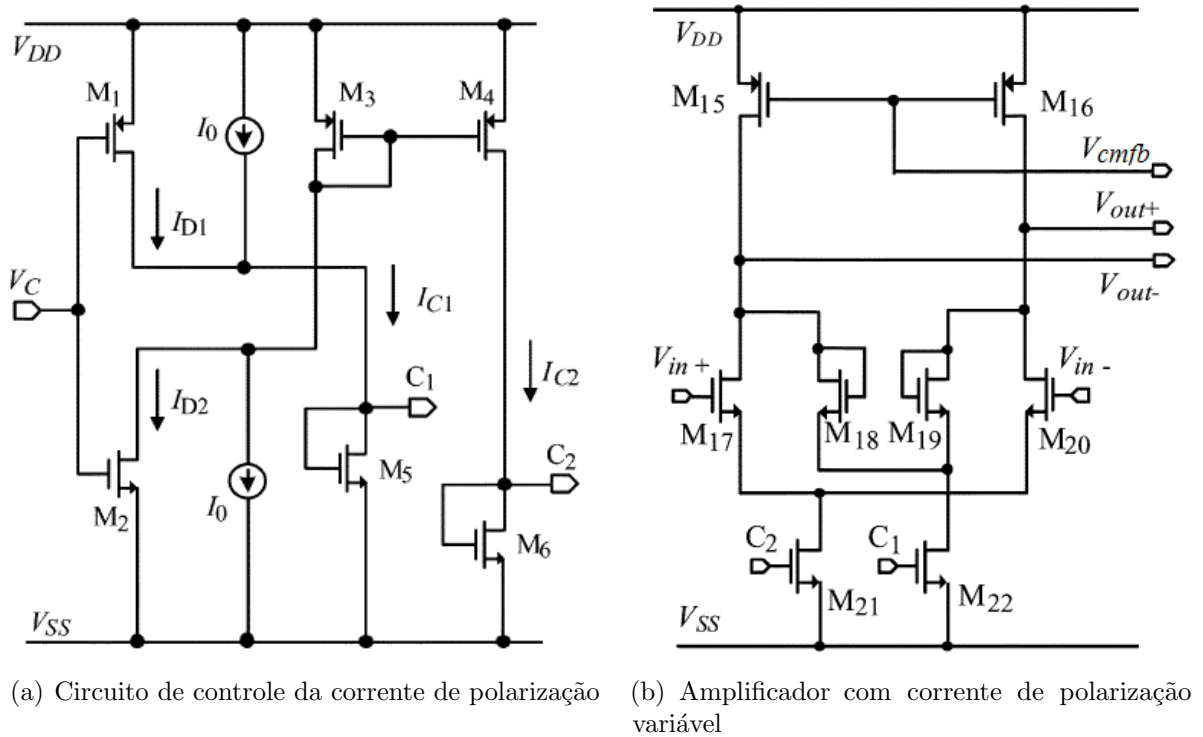


Figura 24: Implementação da variação de ganho controlada pela corrente de polarização.

Fonte: Adaptado de Duong et al. (2006).

Ao se analisar o circuito observa-se que o sinal diferencial de entrada  $V_{in}$  é aplicado sobre as impedâncias em série dos dois elementos não lineares de transcondutância  $g_m$  e sobre a impedância linear do resistor de degeneração  $R_{degen}$ , o que resulta na corrente diferencial  $i_{ac}$  expresso pela equação (3.13). (RIJNS, 1996).

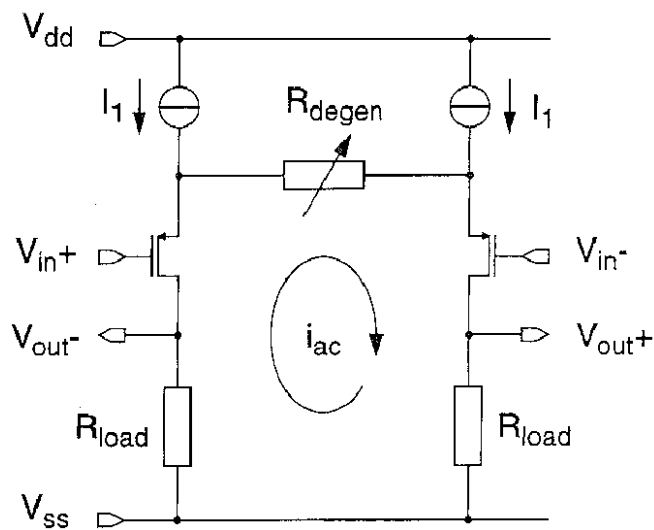


Figura 25: Degeneração de par diferencial.

Fonte: Rijns (1996).



### 3.2.2.3 Variação da carga

Em uma última análise da equação de ganho do par diferencial MOS expresso pela equação 3.11, em vez de estudar as formas de variação da transcondutância, como visto nos tópicos anteriores, o estudo da técnica em questão objetiva alterar a carga resultante do par diferencial. Esta variação da carga do par diferencial, como sugere a Figura 27, vem a possibilitar, também, a variação de ganho do amplificador em malha aberta, conforme apresentam Kim e Kim (2006) ao implementar uma rede de resistores chaveados para alternância da carga do par diferencial.

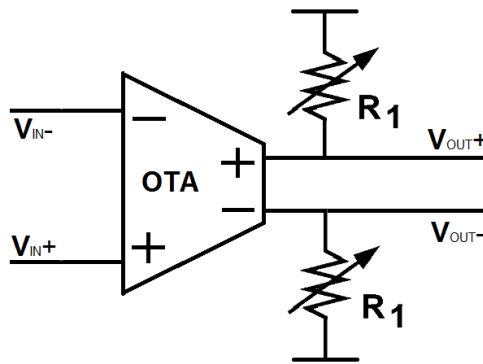


Figura 27: Variação da carga do amplificador em malha aberta.

Fonte: O autor.

Na busca por topologias que dependam cada vez menos de resistores e capacitores integrados, principalmente pelas características de susceptibilidade à variações do processo de fabricação e da temperatura de operação, também nesta técnica verificamos esforços no sentido da utilização de apenas transistores MOS na implementação do amplificador de ganho variável. Neste sentido, Lee, Lin e Wang (2006) fazem o uso de transistores conectados como diodo aplicados como elementos de carga do par diferencial, sendo que o chaveamento destes elementos promove o controle do ganho em malha aberta do circuito.

A Figura 28 apresenta o amplificador de ganho programável implementado por Lee, Lin e Wang (2006). Nesta topologia os autores utilizam uma carga formada pelos transistores  $M_{11}$  e  $M_{12}$  e controladas pela chave  $SW_1$  e outra carga formada pelos transistores  $M_{21}$  e  $M_{22}$  e controladas pela chave  $SW_2$  para formar um arranjo de variação de carga capaz de implementar um amplificador cujo ganho varia entre 5 dB e 10 dB.



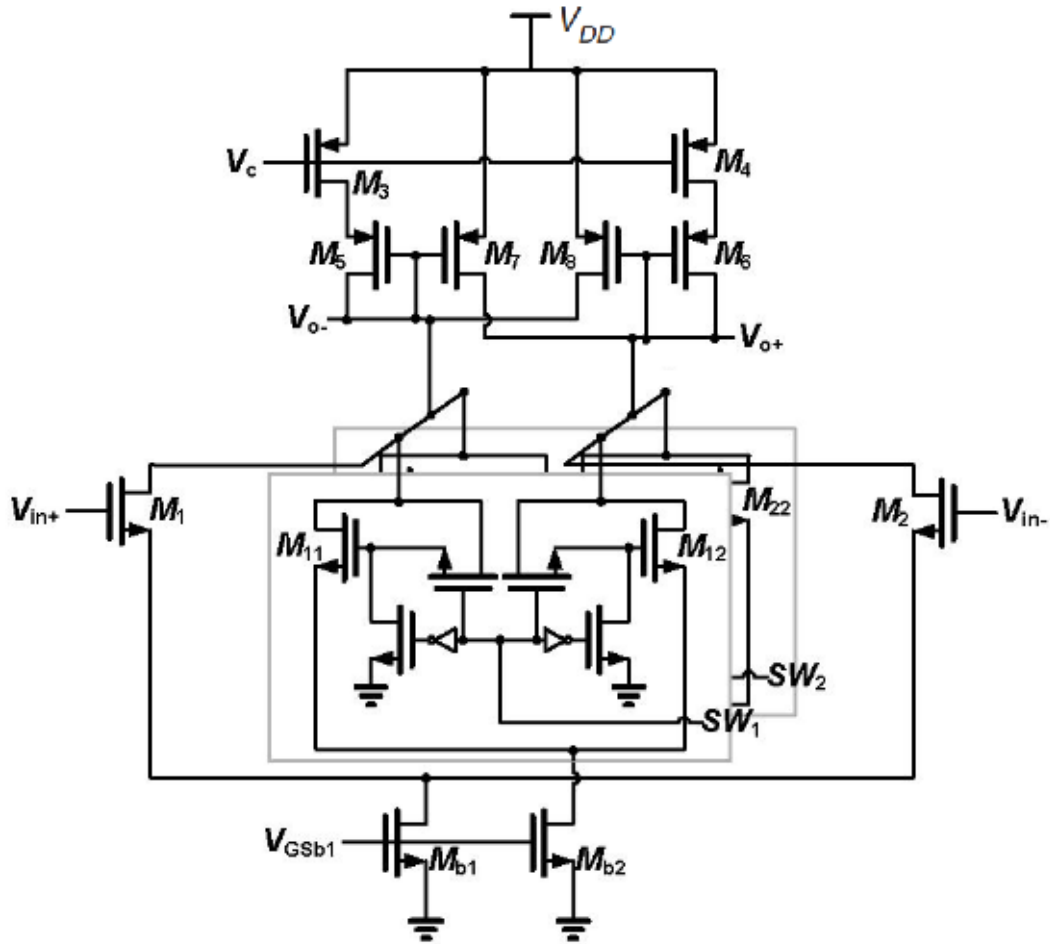


Figura 28: Chaveamento da carga do amplificador em malha aberta.

Fonte: Lee, Lin e Wang (2006).

### 3.2.3 Comparativo entre as topologias apresentadas

Apresentadas as topologias mais usuais na implementação de um amplificador de ganho variável, na Tabela 1 são elencadas essas topologias, sendo indicadas de forma comparativa as principais características de cada técnica.

A avaliação sobre a característica de complexidade leva em consideração a própria complexidade de construção do circuito e a necessidade de circuitos adicionais ao amplificador. A linearidade, por sua vez, indica a capacidade do amplificador em não distorcer o sinal de entrada.

Tabela 1: Comparação entre as técnicas apresentadas

Técnica	Resposta em Alta Frequência	Consumo de Potência	Susceptibilidade a Variações do Processo	Linearidade	Complexidade
Divisão de Corrente	Regular	Regular	Baixa	Média	Média
Resistores Chaveados	Boa	Regular	Alta	Boa	Baixa
Capacitores Chaveados	Regular	Regular	Média	Boa	Média
Corrente de Polarização	Boa	Baixo	Baixa	Média	Baixa
Degeneração	Boa	Baixo	Alta	Média	Média
Variação de Carga	Boa	Baixo	Média	Média	Baixa

Fonte: O autor.

### 3.3 CARACTERÍSTICAS INERENTES AOS CIRCUITOS MULTIPLICADORES

Observa-se em circuitos amplificadores de ganho variável um princípio básico condizente com a operação de multiplicação entre dois sinais. Se em um amplificador tradicional, o sinal de saída é resultado da multiplicação do sinal de entrada pelo ganho projetado para o referido amplificador, em um amplificador de ganho variável, o sinal de saída é resultado da multiplicação do sinal de entrada pelo sinal de controle de ganho.

Quando esse sinal de controle de ganho possui característica de controle contínua, ou seja, no caso de um amplificador de ganho variável, o sinal na saída do amplificador reflete a resposta contínua a uma multiplicação entre o sinal de entrada e o sinal de controle de ganho. Por sua vez, quando temos um amplificador de ganho programável, podemos então descrever esse como um multiplicador para sinais no tempo discreto visto que o sinal de saída apresenta variação de resposta discreta, condizente com os diferentes níveis de ganho admitidos pelo referido PGA.

Neste contexto, torna-se útil estudar características de resposta de circuitos multiplicadores e estender o estudo a uma topologia básica de circuitos multiplicadores, a célula de Gilbert.

### 3.3.1 Quadrantes de operação de circuitos multiplicadores

Uma das principais características de funcionamento de circuitos multiplicadores diz respeito à sua região de operação, quando classificado com relação a excursão dos sinais de entrada e dos valores de ganho admissíveis. Com base no diagrama simplificado de um multiplicador, apresentado na Figura 29, temos que a resposta do circuito é:

$$V_{out} = k(V_a \times V_b), \quad (3.14)$$

sendo  $k$  um fator de escala inerente ao circuito multiplicador.

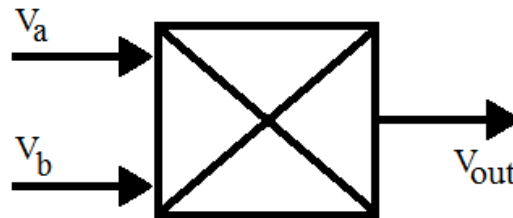


Figura 29: Diagrama simplificado de um multiplicador.

Fonte: O autor.

Logo podemos descrever o tipo de resposta deste multiplicador genérico conforme a Tabela 2.

Tabela 2: Tipo de resposta do amplificador

Tipo	$V_a$	$V_b$	$V_{out}$
Quadrante único	Unipolar	Unipolar	Unipolar
Dois Quadrantes	Bipolar	Unipolar	Bipolar
Quatro Quadrantes	Bipolar	Bipolar	Bipolar

Fonte: O autor.

### 3.3.2 Célula de Gilbert

Um par diferencial formado por transistores MOS (Figura 30(a)) produz uma corrente de saída  $\Delta I$  proporcional à tensão diferencial de entrada e à corrente  $I_{SS}$ , conforme a função de transferência apresentada na Figura 30(b) e expressa por:

$$I_1 = \frac{k}{2} \left( \sqrt{\frac{I_{SS}}{k} - \frac{V_i^2}{2}} + \frac{V_i}{\sqrt{2}} \right)^2; \quad (3.15)$$

$$I_2 = \frac{k}{2} \left( \sqrt{\frac{I_{SS}}{k} - \frac{V_i^2}{2}} - \frac{V_i}{\sqrt{2}} \right)^2; \quad (3.16)$$

$$\Delta I = I_1 - I_2 = kV_i \sqrt{\frac{2I_{SS}}{k} - V_i^2}; \quad (3.17)$$

sendo que

$$k = \frac{\mu C_{ox}}{2} \frac{W}{L}. \quad (3.18)$$

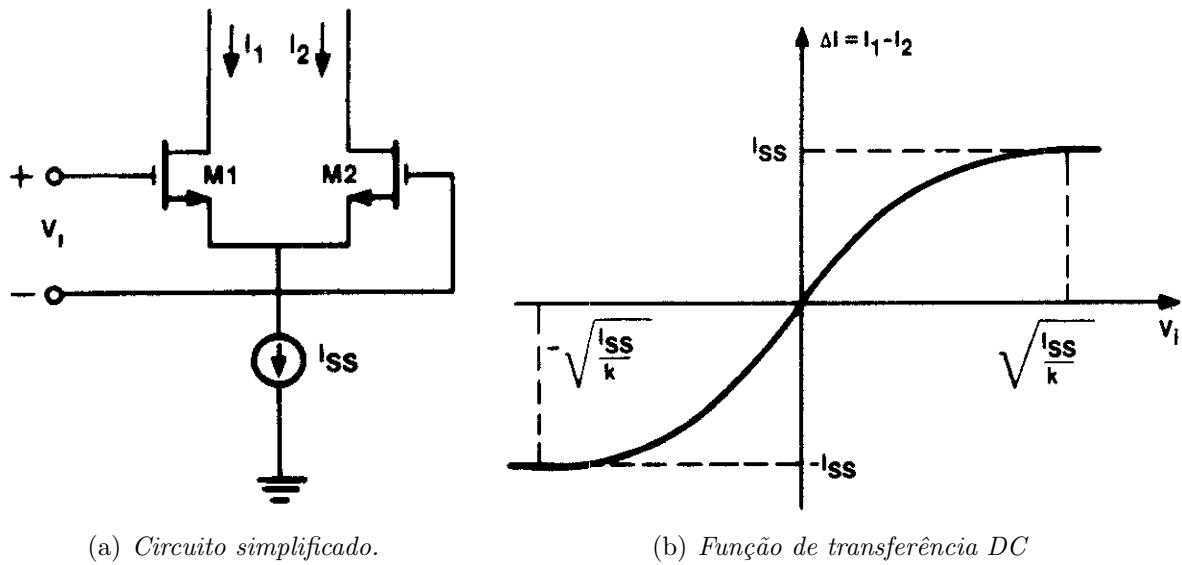


Figura 30: Par diferencial como multiplicador.

Fonte: Adaptado de Babanezhad e Temes (1985).

Desta forma a equação 3.17 demonstra que o par diferencial pode responder como um multiplicador primitivo, considerando a corrente  $I_{SS}$  como um dos sinais multiplicadores. Observa-se também que a corrente  $I_{SS}$  admite apenas valores positivos assim, conforme a Tabela 2, o citado multiplicador opera somente em dois quadrantes.

Considerando ainda que a característica de operação em dois quadrantes representa uma restrição bastante importante às utilizações de um multiplicador analógico, a célula de Gilbert formada por transistores bipolares, apresentada por Barrie Gilbert (GILBERT, 1968), propõe um circuito multiplicador capaz de operar nos quatro quadrantes.

(GRAY et al., 2001). A citada célula consiste em um arranjo de três pares diferenciais, sendo um par diferencial ligado em série com dois outros pares diferenciais, ligados em cruzamento, conforme ilustrado na Figura 31 para o caso de uma célula de Gilbert formada por transistores MOS.

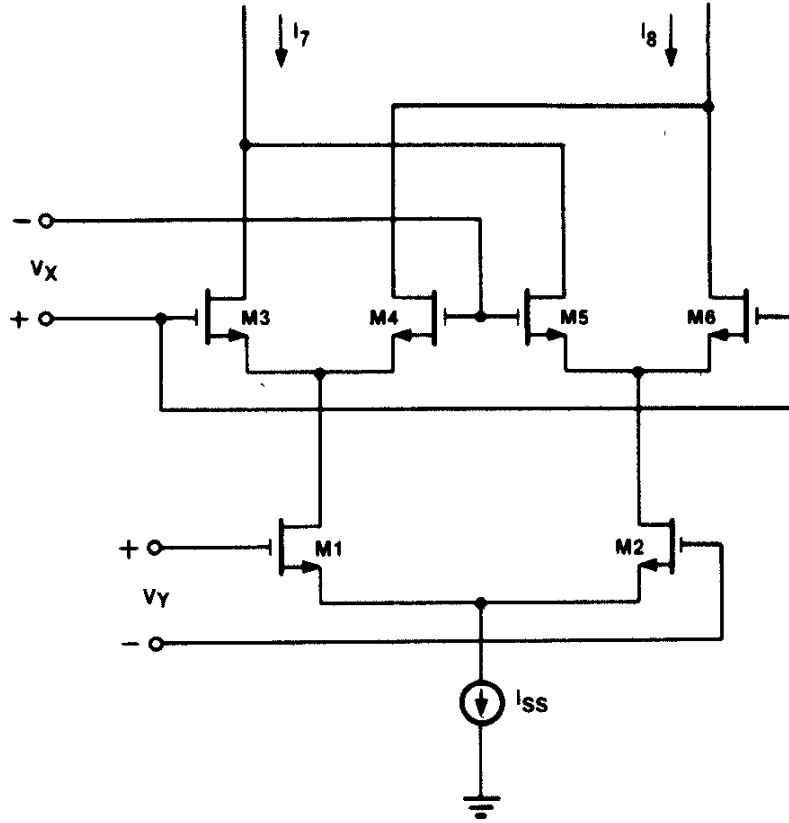


Figura 31: Célula de Gilbert com transistores MOS.

Fonte: Babanezhad e Temes (1985).

Considerando, para o circuito apresentado na Figura 31, que todos os transistores são iguais, a corrente de saída é expressa por

$$I_{out} = I_7 - I_9 = (I_3 + I_5) - (I_4 + I_6) = (I_3 - I_4) - (I_6 - I_5) . \quad (3.19)$$

Uma vez que os transistores M3/M4 e M6/M7 formam pares diferenciais cuja corrente de saída é expressa pela equação 3.17, temos a corrente de saída da célula de Gilbert expressa por

$$I_{out} = kV_X \left[ \sqrt{\left(\sqrt{\frac{I_{SS}}{k} - \frac{V_Y^2}{2}} + \frac{V_Y}{\sqrt{2}}\right)^2 - V_X^2} - \sqrt{\left(\sqrt{\frac{I_{SS}}{k} - \frac{V_Y^2}{2}} - \frac{V_Y}{\sqrt{2}}\right)^2 - V_X^2} \right]. \quad (3.20)$$

Assumindo pequenos valores para  $V_X$  e  $V_Y$  a corrente diferencial de saída passa a ser, aproximadamente:

$$I_{out} \approx kV_X \left[ \sqrt{\left(\sqrt{\frac{I_{SS}}{k} - \frac{V_Y^2}{2}} + \frac{V_Y}{\sqrt{2}}\right)^2 - V_X^2} - \sqrt{\left(\sqrt{\frac{I_{SS}}{k} - \frac{V_Y^2}{2}} - \frac{V_Y}{\sqrt{2}}\right)^2 - V_X^2} \right]; \quad (3.21)$$

$$I_{out} \approx \sqrt{2}kV_XV_Y. \quad (3.22)$$

Assim observamos que o circuito multiplicador baseado na célula de Gilbert opera nos quatro quadrantes, uma vez que ambos os sinais  $V_X$  e  $V_Y$ , são diferenciais e podendo apresentar valores tanto positivos quanto negativos. De maneira equivalente, uma célula de Gilbert formada por transistores MOS realiza a multiplicação dos sinais de entrada, operando nos quatro quadrantes.



## 4 PROJETO

Apresentado o estudo das topologias existentes que possibilitam o projeto de um amplificador de ganho variável, neste capítulo será apresentada a escolha de topologia deste trabalho, a metodologia de projeto utilizada e o circuito efetivamente projetado.

### 4.1 METODOLOGIA DE PROJETO

O desenvolvimento e a simulação do circuito proposto neste trabalho baseiam-se no ambiente de desenvolvimento Cadence Virtuoso, utilizando o conjunto de dispositivos e regras de utilização da tecnologia CMOS GlobalFoundries (GF) 130 nm disponível em seu PDK, acrônimo do termo em inglês *Process Design Kit*<sup>1</sup>. Com o uso deste ambiente de desenvolvimento, foi possível conceber e simular o esquemático do circuito amplificador de ganho programável projetado. O uso deste ambiente de desenvolvimento possibilitará, no prosseguimento da pesquisa, que seja criado o leiaute do circuito para implementação em superfície de silício.

Cabe ressaltar que algumas recomendações para projeto de circuitos integrados foram seguidas no desenvolvimento deste circuito, sendo elas, entre outras, a atenção para a escolha de uma dimensão unitária básica para os transistores, no que se refere as suas dimensões  $W$  e  $L$ , de modo que os demais transistores sejam múltiplos deste. Tal ação possibilita uma maior facilidade de projeto do leiaute do circuito inclusive, facilitando a distribuição e disposição dos elementos de forma a reduzir efeitos de variação do processo de fabricação.

O presente capítulo se dividiu em duas fases distintas, o estudo das arquiteturas e o projeto do circuito final. No estudo das arquiteturas prezou-se por determinar a resposta de cada solução com relação à curva de ganho e à resposta em frequência, realizando simulações AC para determinação destas características. Utilizou-se um indutor de alto valor como carga apenas para realizar a polarização dos circuitos e como carga utilizou-se

---

<sup>1</sup>*Process Design Kit*: Conjunto de regras e padrões necessários para o desenvolvimento de circuitos em uma determinada tecnologia



de um capacitor de baixíssimo valor (1 fF) para aproximar a saída de uma condição de alta impedância ideal. Já na segunda fase, o projeto do circuito final, os indutores foram substituídos por elementos reais e foram implementadas cargas capacitivas diferentes para avaliar a resposta do circuito frente à variação desta carga.

## 4.2 PRIMEIRA ARQUITETURA PROPOSTA

O estudo sobre as topologias conhecidas mostrou a existência de trabalhos de pesquisa publicados que se utilizam das mais variadas características de um amplificador para promover a variação controlada do ganho. A escolha por cada um destes trabalhos estudados demonstrou que cada autor procurou utilizar as topologias que melhor atendiam a um ou mais requisitos específicos dos sistemas para os quais aquele amplificador de ganho variável estava sendo projetado, sejam estes requisitos relativos à linearidade, banda passante, consumo de potência, distorção ou outros parâmetros. Nesta mesma ótica este trabalho buscou identificar quais seriam os requisitos mais relevantes ao objetivo do trabalho.

Dessa forma, alinhado com os objetivos deste trabalho, as principais características avaliadas nas topologias apresentadas dizem respeito à resposta em alta frequência e ao baixo consumo de potência do amplificador. Cabe destacar que a Tabela 1, da página 53, apresentou de forma comparativa as principais características das topologias estudadas. As referidas topologias foram analisadas primeiramente com relação aos dois grandes grupos, sendo o primeiro formado pelos amplificadores em malha fechada e o segundo formado pelos amplificadores em malha aberta.

No contexto do consumo de potência, cabe ressaltar Nguyen et al. (2009) que afirmam que os amplificadores em malha fechada requerem uma alta corrente para implementar um amplificador operacional. Consequentemente, os amplificadores de ganho variável que se baseiam em arquiteturas de malha aberta apresentam menor corrente mínima de operação, sendo melhores indicados para circuitos de baixa potência. (NGUYEN et al., 2009).

Deve-se considerar ainda que a característica de produto ganho-banda, constante em um amplificador em malha fechada, remete a um comportamento não desejado em amplificadores de ganho variável pois afeta o comportamento da curva de ganho do VGA. Considerando que a resposta de maior ganho apresentará uma frequência de corte menor, em relação à resposta do amplificador para níveis de ganho menores, haverá uma redução do passo de ganho para o último nível, na proximidade da menor frequência de corte. Tal

achatamento da curva de ganho não deve ocorrer em um amplificador de malha aberta, para o qual se espera a manutenção da largura de banda para os diversos níveis de ganho.

Considerando as duas características citadas optou-se por utilizar um amplificador com arquitetura em malha aberta. Sendo assim, a escolha da técnica de variação de ganho se restringe a três conceitos básicos:

- a variação da corrente de polarização do par diferencial através da variação da corrente de cauda do respectivo par, conforme Figura 23 da página 48;
- a variação da carga do par diferencial, conforme Figura 27 da página 51;
- a variação da corrente de polarização dos transistores do par diferencial através da inserção de um resistor de degeneração, conforme Figura 25 da página 49.

Entretanto, a preocupação quanto ao consumo de potência e a susceptibilidade com relação as variações do processo de fabricação revela a necessidade de projetar um circuito que utilize somente elementos ativos ao invés de resistores ou capacitores integrados. Em especial, o uso de resistores integrados também apresenta, como consequências negativas, para aplicações em alta frequência, as limitações de valores de resistência até valores na faixa de quilohms em razão do ruído térmico inerente ao elemento resistivo. (RIJNS, 1996). Essa limitação resultaria, segundo Rijns (1996), em um ganho reduzido na implementação de chaveamento de resistores na técnica de degeneração ou ainda um consumo de potência relativamente elevado nas técnicas baseadas na variação de corrente de polarização ou da carga do par diferencial.

Visto isso, ainda se requer uma decisão quanto a qual técnica de variação de ganho será utilizada, dentre aquelas que utilizam a arquitetura de malha aberta, verificou-se, com base na revisão bibliográfica, que os autores não descreveram óbices importantes no que se refere a operação em alta frequência e consumo elevado de potência. Entretanto, torna-se oportuno destacar que a grande maioria dos estudos apresentaram projetos para frequência de até algumas dezenas de MHz.

Sendo assim, optou-se por utilizar uma proposta híbrida, relatada nos artigos de Nguyen, Duong e Lee (2008), Nguyen et al. (2008) e Nguyen et al. (2009), na qual se propõe a utilização simultânea de duas das técnicas em questão, a variação da corrente de polarização e também a variação da carga do par diferencial utilizando transistores MOS conectados como diodos, cujo funcionamento é abordado em detalhes no tópico que se segue. A topologia escolhida possibilita ainda o controle digital do ganho em uma escala dita dB-linear, quando o valor de ganho em dB varia de forma linear.

### 4.2.1 Princípio de funcionamento

A topologia escolhida se baseia no conceito de amplificador de ganho variável apresentado por Nguyen, Duong e Lee (2008) que, conforme Figura 10 (página 35), consiste em um par diferencial de entrada  $M_1$  e  $M_2$  e cargas formadas por transistores conectados como diodos  $M_3$  e  $M_4$ . Variando o tamanho dos transistores e a corrente de polarização simultaneamente, na mesma proporção, é possível obter um controle linear do ganho em escala dB. (NGUYEN et al., 2008).

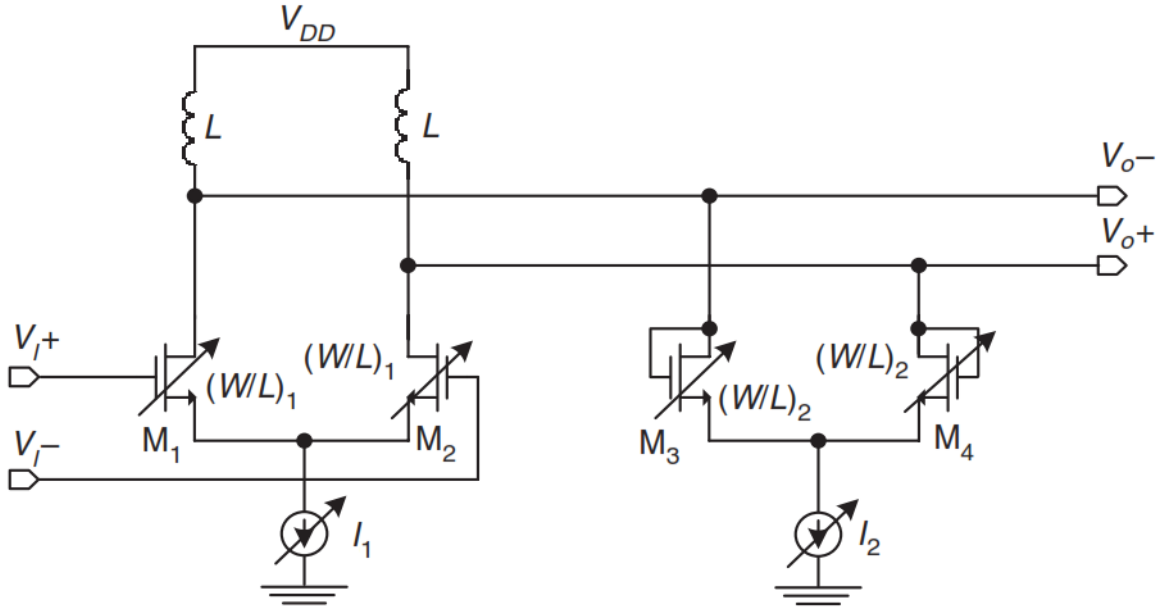


Figura 32: Variação da corrente de polarização e carga.

Fonte: Adaptado de Nguyen et al. (2008).

Considerando as nomenclaturas adotadas para os parâmetros do circuito da Figura 32, temos que a transcondutância de entrada, equivalente ao par diferencial formado por  $M_1$  e  $M_2$  é dada pela equação 4.1, e a transcondutância de carga, equivalente ao par de transistores conectados como diodos, formado por  $M_3$  e  $M_4$  é dada pela equação 4.2, conforme se segue:

$$g_{m-input} = \sqrt{2\mu_n C_{ox}(W/L)_1 I_1} ; \quad (4.1)$$

$$g_{m-load} = \sqrt{2\mu_n C_{ox}(W/L)_2 I_2} ; \quad (4.2)$$

consequentemente, o ganho de tensão  $A_v$  do circuito da Figura 32 é expresso por

$$A_v = \frac{g_{m-input}}{g_{m-load}} = \sqrt{\frac{(W/L)_1 I_1}{(W/L)_2 I_2}}. \quad (4.3)$$

Entretanto, em uma primeira análise, a situação proposta na Figura 32 mostra-se inviável uma vez que propõe a variação da dimensões  $W$  ou  $L$  dos transistores do amplificador, especificadas durante o projeto do circuito integrado. No entanto a proposta obtém respaldo ao se aplicar a arquitetura de chaveamento proposta por Nguyen et al. (2009) e apresentada na Figura 33.

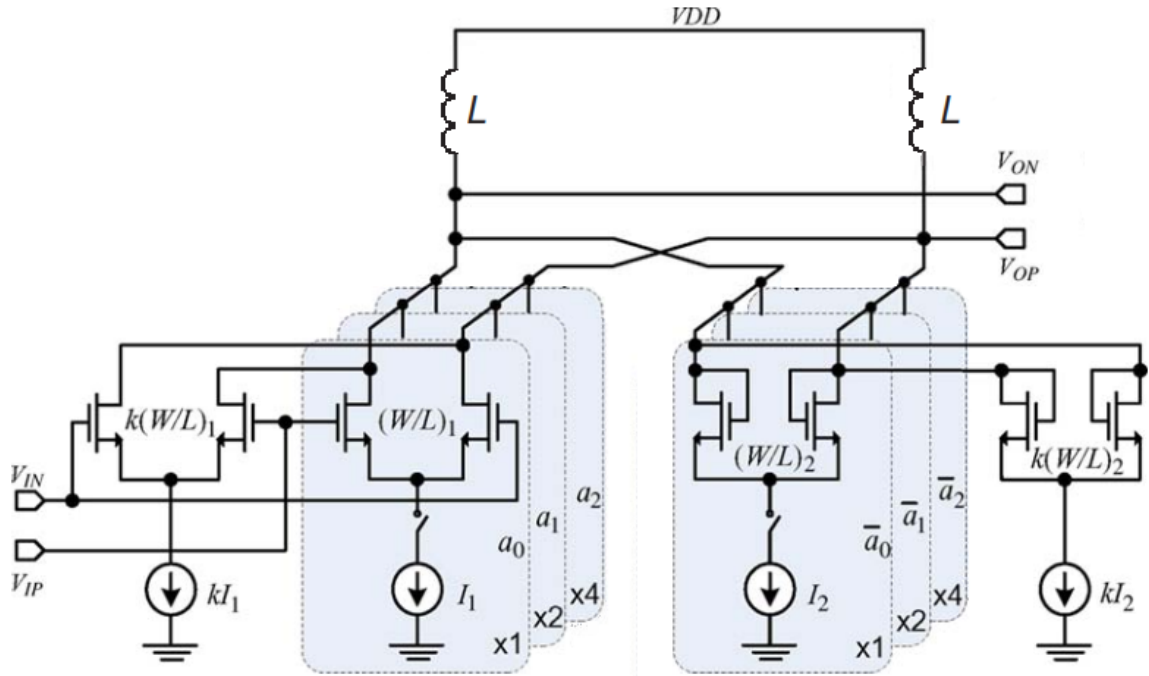


Figura 33: Chaveamento da corrente de polarização e da carga.

Fonte: Adaptado de Nguyen et al. (2009).

Nesta proposta, a variação de dimensão dos transistores, tanto da entrada quanto da carga, é obtida com o chaveamento dos ramos identificados por  $x1$ ,  $x2$  e  $x4$ , através da palavra de controle formada pelos bits  $a_0$ ,  $a_1$  e  $a_2$ , sendo  $a_0$  o bit menos significativo e  $a_2$  o mais significativo. A identificação  $xn$  expressa também o fator multiplicador dos parâmetros  $(W/L)_1$  e  $I_1$  ou  $(W/L)_2$  e  $I_2$ , no caso de cada ramo de entrada ou de carga, respectivamente. Este fator multiplicador assume valores na base 2 ( $xn = x2^m$ ) a fim de promover o controle direto de uma palavra binária  $A_3$  ( $a_0$ ,  $a_1$  e  $a_2$ ). Observa-se também que o chaveamento dos respectivos ramos promove uma variação na corrente de polarização entre os ramos do amplificador, entretanto, como o chaveamento ocorre de modo

inverso entre os pares equivalentes (pares diferenciais e cargas identificados pelo mesmo multiplicador  $xn$ ), mantém-se constante a densidade de corrente total do amplificador caso  $I_1$  e  $I_2$  sejam iguais.

Consequentemente, conclui-se que a arquitetura proposta por Nguyen et al. (2009) implementa o controle digital do ganho. No caso geral, a transcondutância da entrada e da saída para o amplificador apresentado na Figura 32 são expressas, respectivamente, pelas equações 4.1 e 4.2, considerando uma variação da corrente para o controle do ganho. Já para o circuito de controle chaveado (Figura 33) as correntes são fixadas no projeto e o controle de ganho é realizado através da palavra de controle  $A_3$ , sendo assim, a transcondutância de entrada e de carga passam a estar em função desta palavra de controle.

Considerando que se tem um ramo fixo multiplicado pela constante  $k$  e um conjunto de ramos chaveados multiplicados, cada um, pelo seu relativo fator  $2^n a_n$ , as respectivas transcondutâncias são expressas como a soma das transcondutância de cada ramos, levando em consideração o estado do bit de controle (0 ou 1). Face a esta composição ponderada de cada ramo, a equação 4.4 expressa a transcondutância de entrada e a equação 4.5 expressa a transcondutância de carga. Deve-se atentar que  $\bar{a}_n$  indica valor lógico negado de  $a_n$ .

$$g_{m-input} = \sqrt{2\mu_n C_{ox}(W/L)_1 I_1} \times (2^0 a_0 + 2^1 a_1 + 2^2 a_2 + k) \quad (4.4)$$

$$g_{m-load} = \sqrt{2\mu_n C_{ox}(W/L)_2 I_2} \times (2^0 \bar{a}_0 + 2^1 \bar{a}_1 + 2^2 \bar{a}_2 + k) \quad (4.5)$$

Com base nas equações 4.4 e 4.5, pode-se obter a expressão do ganho de tensão  $A_v$  do amplificador:

$$A_v = \frac{g_{m-input}}{g_{m-load}} = \beta \times \frac{2^0 a_0 + 2^1 a_1 + 2^2 a_2 + k}{2^0 \bar{a}_0 + 2^1 \bar{a}_1 + 2^2 \bar{a}_2 + k}, \quad (4.6)$$

sendo a constante  $\beta$  dada por:

$$\beta = \sqrt{\frac{(W/L)_1 I_1}{(W/L)_2 I_2}}. \quad (4.7)$$

Analisando a expressão para o ganho  $A_v$  (equação 4.6) observa-se que este não tem dependência dos valores de  $\mu_n$  e  $C_{ox}$ , o que representa a independência do ganho com relação a variações do processo. Considerando o caso específico em que palavra de controle de 3 bits seja dada por  $x_3$  expresso por  $x_3 = 2^0 a_0 + 2^1 a_1 + 2^2 a_2$ , a equação do ganho se resume a

$$A_v = \beta \times \frac{x_3 + k}{2^3 - 1 - x_3 + k} .$$

Generalizando a equação acima para o caso no qual a palavra de controle seja expressa pelo valor de  $x_n$  dado por  $x_n = 2^0 a_0 + 2^1 a_1 + 2^2 a_2 + \dots + 2^{(n-1)} a_{(n-1)}$ , pode-se expressar a equação do ganho por

$$A_v = \beta \times \frac{x_n + k}{2^n - 1 - x_n + k} . \quad (4.8)$$

Com base na equação 4.8 fica evidente a condição de variação aproximadamente linear do ganho em decibéis. Para tal basta considerar a premissa de que  $t$  seja dado pela equação 4.9, conseqüentemente, o ganho pode ser expresso pela equação 4.10.

$$t = \frac{x - \frac{2^n - 1}{2}}{k + \frac{2^n - 1}{2}} \quad (4.9)$$

$$A_v = \beta \times \frac{1 + t}{1 - t} \approx \beta e^{2t} \quad (4.10)$$

Assim, o equação do ganho  $A_v$  se comporta como a função pseudo exponencial representada pela aproximação de  $e^t$ , conforme equação 4.11. (DUONG et al., 2006).

$$e^t \approx \sqrt{\frac{1 + t}{1 - t}} \quad (4.11)$$

Retomando a expressão de ganho do amplificador (equação 4.6) e a expressão da

constante  $\beta$  (equação 4.7), constata-se que existem três graus de liberdade no projeto do respectivo amplificador, conforme elencados a seguir:

- a razão entre as dimensões dos transistores de entrada e da carga  $\frac{(W/L)_1}{(W/L)_2}$ ;
- a razão entre as correntes de polarização  $\frac{I_1}{I_2}$ ;
- o fator  $k$ .

A implicação no comportamento do ganho do amplificador para a variação de cada um dos citados graus de liberdade será abordada no capítulo referente aos resultados. Entretanto, torna-se relevante observar que a definição dos valores de  $I_1$  e  $I_2$  está diretamente ligada ao consumo de potência do circuito. Em razão dos valores das correntes  $I_1$  e  $I_2$ , dada a variação da palavra de controle  $A_3$ , a potência consumida pelo PGA proposto se resume a seguinte equação:

$$P = V_{DD} \times [I_1(x + k) + I_2(2^3 - x + k)] . \quad (4.12)$$

Simplificando para o caso que  $I_1 = I_2$ , a potência consumida se resume a:

$$P = V_{DD} \times I_1(2^3 + 2k) . \quad (4.13)$$

Face ao exposto, obtém-se que, para valores de corrente  $I_1$  e  $I_2$  iguais, a potência dissipada pelo amplificador programável se mantém constante, mesmo com a variação do ganho.

## 4.2.2 Resultados simulados

Para possibilitar tais análises, considerou-se que o cenário em que o amplificador apresenta entrada e saída em alta impedância. Utilizando-se de uma polarização DC ( $V_{bias}$ ) que situa o ponto de operação do amplificador no centro da faixa de variação de tensão, foram realizadas simulações de pequenos sinais para determinar a resposta em frequência e a curva de ganho do PGA. A fim de excitar o circuito, utilizou-se uma fonte de tensão diferencial ( $V_{dif}$ ) na entrada do amplificador. A Figura 34 ilustra o circuito de simulação implementado para análises de pequenos sinais.

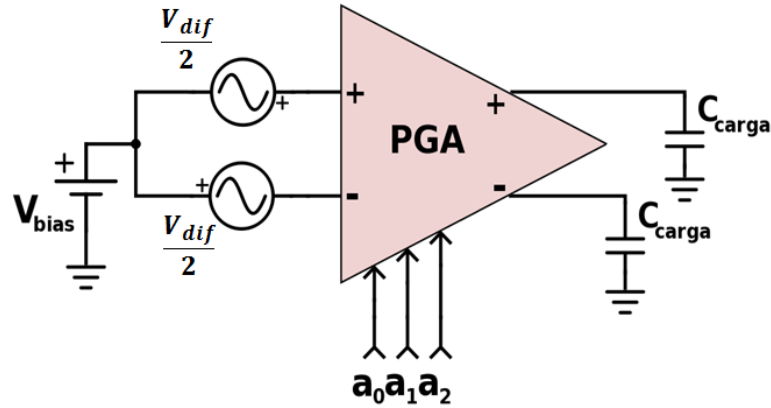


Figura 34: Circuito para simulação da primeira arquitetura.

Fonte: O autor.

As simulações propostas visam avaliar a resposta do circuito dada a variação dos parâmetros de projeto do amplificador de ganho programável projetado, sendo eles:

- a razões de aspecto dos transistores dos ramos de entrada e da carga  $\frac{(W/L)_1}{(W/L)_2}$ ;
- a razão entre as correntes de polarização  $\frac{I_1}{I_2}$ ;
- o fator  $k$ .

Como base para a variação dos parâmetros foi escolhido um arranjo básico de valores, sobre os quais cada parâmetro será variado. A Tabela 3 apresenta os valores adotados para cada variável do circuito.

Tabela 3: Parâmetros básicos do projeto

Parâmetro	Valor
$V_{DD}$	1,5 V
$I_1$	100 $\mu A$
$I_2$	100 $\mu A$
$(W/L)_1$	8
$(W/L)_2$	8
$k$	4

Fonte: O autor.

Assim, antes de partir para a variação de cada parâmetro, é apresentada na Figura 35 a resposta em frequência do amplificador, adotados os valores da Tabela 3, indicados, em cada curva do gráfico, o respectivo valor binário da palavra de controle que gerou aquela resposta.



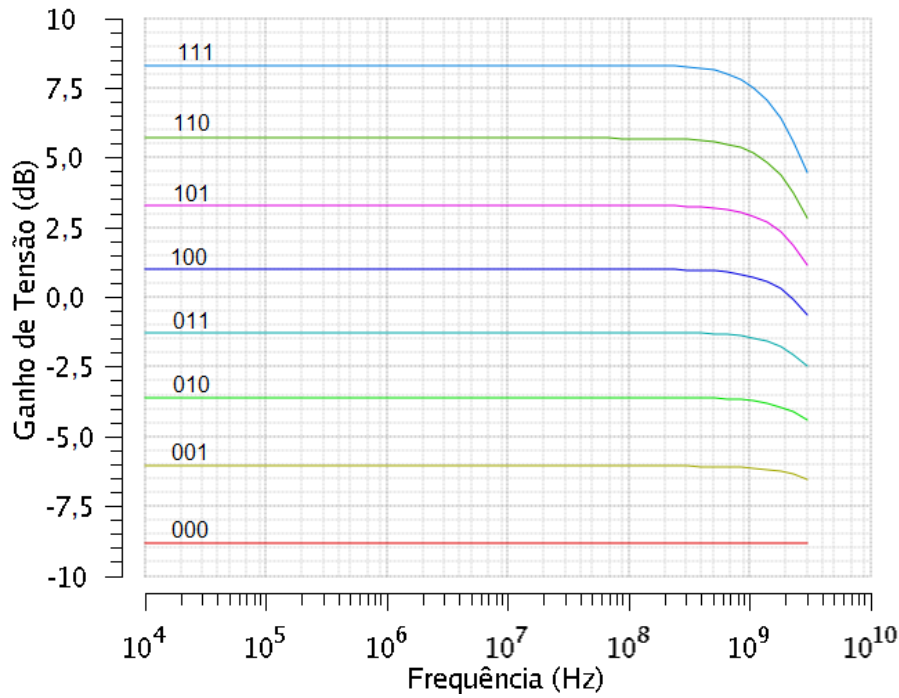


Figura 35: Gráfico da resposta em frequência com ganho de tensão em dB.

Fonte: O autor.

Observa-se também que, conforme a equação 4.13, da página 66, considerando que as correntes  $I_1$  e  $I_2$  são iguais, a potência consumida pelo respectivo circuito, é calculada por

$$P = V_{DD} \times I_1(2^3 + 2k) = 1,5 \times 100 \mu A(2^3 + 2 \times 4) = 2,4 mW .$$

Torna-se válido, neste momento, destacar que a análise das curvas de ganho, nas simulações apresentadas nesta seção e nas seguintes, tratarão da característica de linearidade destas curvas. Tal característica não reflete a linearidade da resposta do amplificador em si mas a relação linear entre a variação dos níveis de ganho e a variação da palavra de controle.

#### 4.2.2.1 Variação da constante $k$

Assumindo os valores da Tabela 3, neste tópico serão alterados os valores do parâmetro  $k$ , para identificar a influência do dimensionamento dos ramos fixos na resposta do circuito.

O gráfico da Figura 36 apresenta a curva de ganho do amplificador para valores

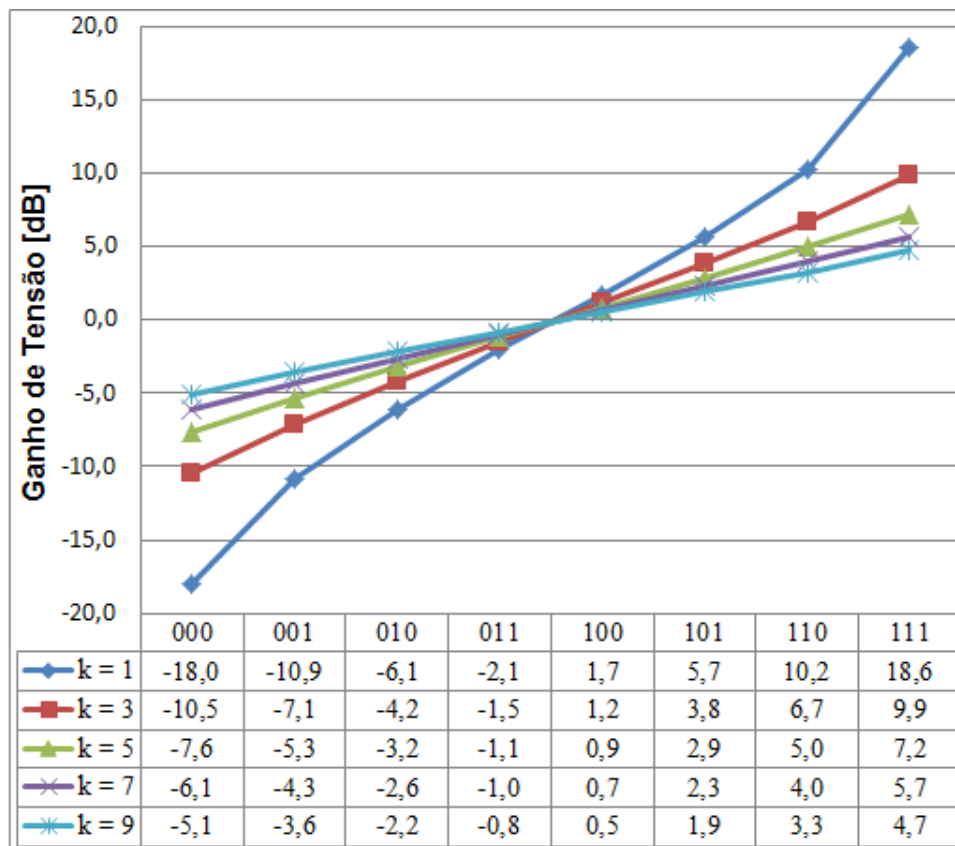


Figura 36: Gráfico da variação do ganho em relação à variação da constante  $k$ .

Fonte: O autor.

de  $k$  que variam de 1 a 9. Nesta figura são apresentados, abaixo das curvas, os valores numéricos do ganho de tensão em dB, para cada ponto de controle, em cada valor da constante  $k$ .

Observa-se então que a redução do valor da constante  $k$  leva ao aumento na faixa de variação de ganho, no entanto, a linearidade do ganho em dB é reduzida. A Tabela 4 mostra também que a potência consumida pelo amplificador aumenta proporcionalmente ao valor de  $k$ .

Tabela 4: Potência consumida em relação a variação da constante  $k$

$k$	1	3	5	7	9
Potência	1,5 mW	2,1 mW	2,7 mW	3,3 mW	3,9 mW

Fonte: O autor.

#### 4.2.2.2 Variação das correntes de polarização

As correntes de polarização  $I_1$  e  $I_2$  tem papel fundamental no projeto uma vez que estão diretamente ligadas ao consumo de potência do amplificador de ganho programável.

Recapitulando a equação de ganho do amplificador implementado (equações 4.6 e 4.7 da página 64), temos que o ganho de tensão é diretamente proporcional à corrente de polarização  $I_1$  e inversamente proporcional à corrente  $I_2$ . Ambas as conclusões foram respaldadas pelas curvas de variação de ganho obtidas com a variação das correntes de polarização do circuito.

O gráfico da Figura 37 apresenta o conjunto de curvas de ganho do amplificador, em 100 MHz, quando se aumenta a corrente de polarização  $I_1$ , em passos de  $100 \mu A$ . Observa-se que as curvas mantêm a mesma inclinação, sendo deslocadas para cima na mesma proporção em todos os pontos de ganho. Verifica-se também que, mesmo para incrementos iguais na corrente  $I_1$ , o incremento na curva de ganho é reduzido a medida que a referida corrente aumenta.

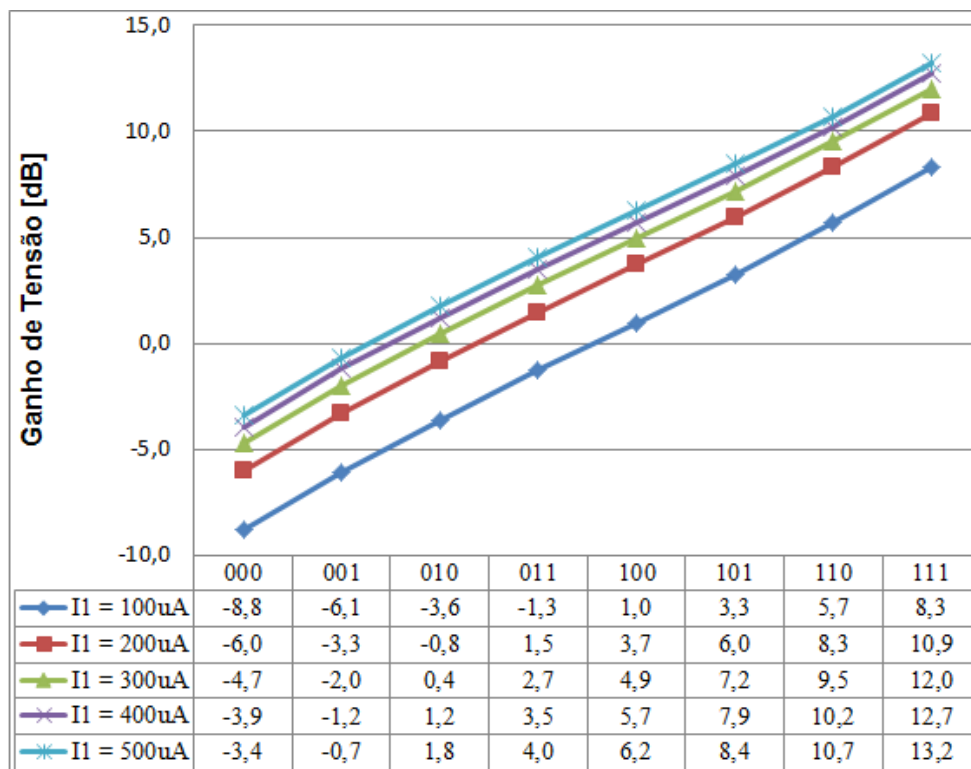


Figura 37: Variação das curvas de ganho em relação à variação da corrente  $I_1$ .

Fonte: O autor.

De forma similar, o gráfico da Figura 38 apresenta o conjunto de curvas de ganho do amplificador, em 100 MHz, quando se aumenta a corrente de polarização  $I_2$ , em passos de  $100 \mu A$ . Observa-se também, que as curvas mantêm a mesma inclinação, no entanto, com o aumento da corrente de polarização, as curvas são deslocadas para baixo. De forma similar ao apresentado no parágrafo anterior, observou-se que, mesmo para incrementos iguais na corrente  $I_2$ , o decremento na curva de ganho é reduzido a medida que a referida corrente aumenta.

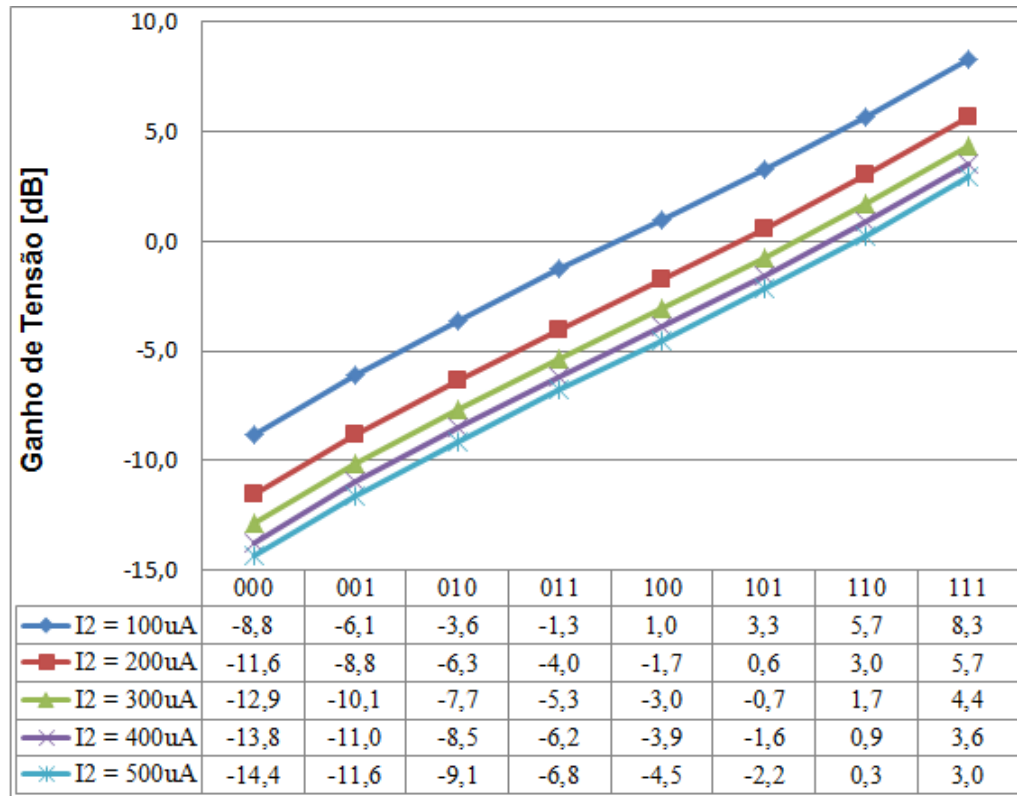


Figura 38: Variação das curvas de ganho em relação à variação da corrente  $I_2$ .

Fonte: O autor.

#### 4.2.2.3 Variação da razão de aspecto dos transistores

Por último, procurou-se identificar o efeito da variação da razão de aspecto dos transistores -  $(W/L)_n$ , no comportamento do ganho do amplificador. O gráfico da Figura 39 apresenta as curvas de ganho para diferentes razões de aspecto  $(W/L)_1$ , que variam de 2 a 26. Os transistores regidos por esta razão de aspecto compõem os ramos de entrada do amplificador. Assim, com o aumento da razão  $W/L$  destes transistores, a curva de ganho do amplificador sofre uma aumento positivo em todos os pontos, como observado no gráfico em questão. Constata-se também que a linearidade da curva de ganho se mantém constante com a variação da razão  $(W/L)_1$ .

Por sua vez, o gráfico da Figura 40 mostra as curvas de ganho para diferentes razões de aspecto  $(W/L)_2$ , que variam também de 2 a 26. Os transistores regidos por esta razão de aspecto compõem os ramos de carga do amplificador. Consequentemente, com o aumento da razão  $W/L$  destes transistores, a curva de ganho do amplificador sofre uma redução em todos os pontos de controle, como observado no gráfico em questão. Porém, da mesma forma que no caso anterior, verifica-se que a linearidade da curva de ganho se mantém constante com a variação da razão  $(W/L)_2$ .

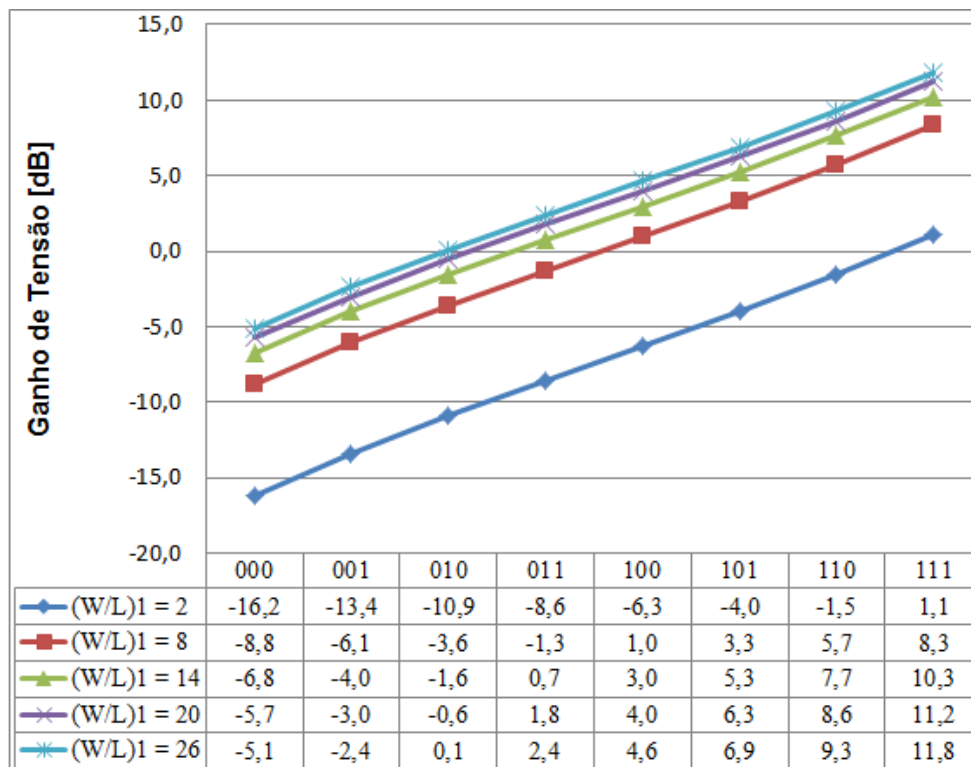


Figura 39: Variação das curvas de ganho em relação à variação da razão  $(W/L)_1$ .

Fonte: O autor.

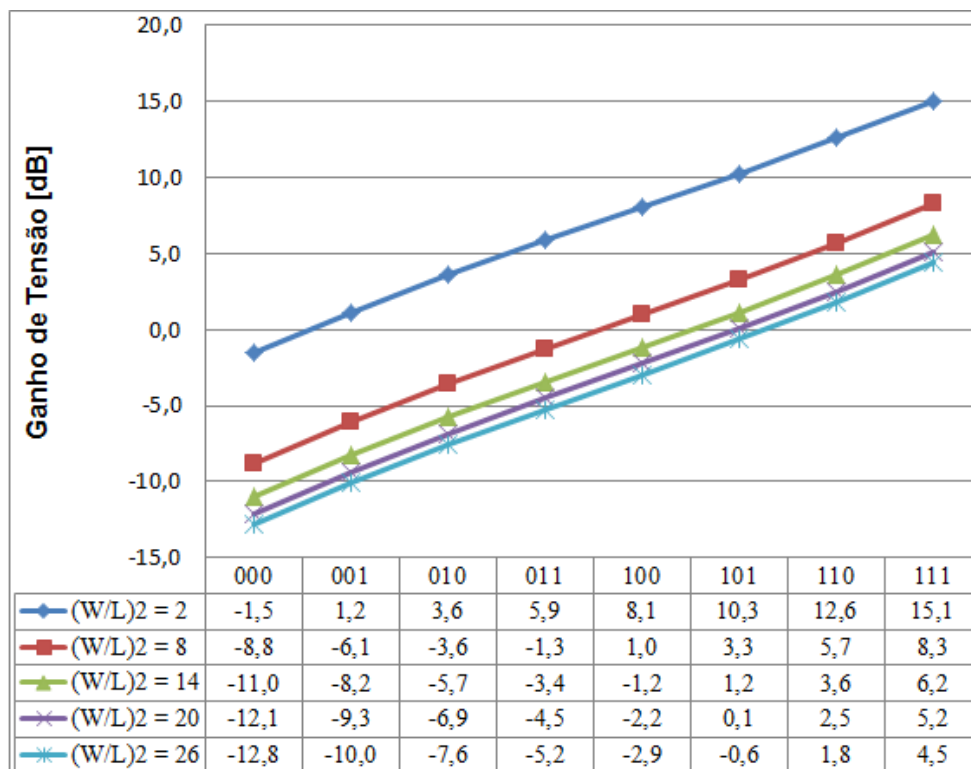


Figura 40: Variação das curvas de ganho em relação à variação da razão  $(W/L)_2$ .

Fonte: O autor.

Cabe ressaltar que, em ambos os casos, o incremento na razão de aspecto representou um incremento cada vez menor nas curvas de ganho, a medida que a respectiva razão de aspecto aumentava.

As simulações elencadas acima apresentaram a resposta do circuito para a variação de um único parâmetro por vez, a fim de se visualizar a influência de cada um destes no comportamento do ganho do amplificador. Entretanto uma variação combinada entre dois fatores pode representar o sucesso na busca por uma resposta do circuito que não obtém com a variação de um único parâmetro. Nesse sentido, cabe destacar, por exemplo, que a variação da corrente  $I_1$  e a variação da razão de aspecto  $(W/L)_1$  têm influência sobre os mesmos pares de diferenças de entrada, logo a variação dos dois parâmetros causa uma variação mais substancial na curva de ganho do amplificador.

### 4.3 REVISÃO DA ARQUITETURA PROPOSTA

Ao longo do projeto, verificou-se a necessidade de revisar algumas características de funcionamento do amplificador de ganho programável desenvolvido, de modo a compatibilizar com novas demandas do receptor proposto.

Verificou-se que a primeira arquitetura proposta apresenta uma resposta do tipo “Dois Quadrantes”, conforme a Tabela 2, uma vez que a topologia aceita somente valores do ganho positivo (unipolar). Tal característica de operação não apresentou, inicialmente, incompatibilidade com o projeto do receptor proposto pois acreditava-se que poderia ser implementado um tratamento posterior caso fosse necessário aplicar um ganho negativo, uma inversão do sinal.

Entretanto, simulações de sistema, desenvolvidas no decorrer do projeto demonstraram que a presença de um equivalente DC, em razão da aplicação de um ganho que assumia somente valores positivos, causaria um problema na demodulação do sinal, assim foi necessário reavaliar a concepção da arquitetura proposta.

Optou-se então por estudar uma modificação na própria arquitetura proposta inicialmente, visando otimizar a nova concepção com os conceitos e as características de funcionamento já amplamente estudados para aquela arquitetura.

Além do tipo de operação, verificou também nessa etapa das simulações do sistema que uma resposta logarítmica para os níveis de ganho do amplificador não se mostrou interessante para o sistema, assim tal característica foi retirada na segunda arquitetura.

Por fim, como última atualização dos requisitos para o amplificador a ser utilizado na topologia do receptor apresentado na seção 2.2, ficou definido que a nova concepção

deveria implementar uma palavra binária de controle de ganho de 4 bits, promovendo 16 níveis distintos de ganho, dobrando o número de níveis distintos de ganho em relação à primeira arquitetura, de 3 bits.

#### 4.3.1 Operação em quatro quadrantes

A topologia escolhida para a implementação do amplificador de ganho programável tem por princípio de funcionamento, conforme detalhado na subseção 4.2.1, o balanço entre ramos de amplificação e ramos de carga, propiciando a efetiva amplificação ou atenuação do sinal de entrada, de acordo com o nível de ganho estabelecido pela palavra binária de controle. Entretanto, tal característica de funcionamento impede que o ganho seja negativo, quando ocorreria a inversão do sinal diferencial de entrada, resultando em um amplificador que opera em apenas em dois quadrantes.

Na pesquisa por uma alternativa que possibilitasse a operação nos quatro quadrantes optou-se por modificar a mesma topologia utilizada na primeira arquitetura, aproveitando todo o conhecimento obtido no desenvolvimento do primeiro amplificador proposto. Baseado no conceito da célula de Gilbert, apresentado na subseção 3.3.2, verificou-se que uma solução para transformar um multiplicador de dois quadrantes, o amplificador diferencial simples, em um multiplicador de quatro quadrantes seria a utilização de dois amplificadores diferenciais com ramos cruzados. Este conceito foi então implementado, substituindo os ramos de carga por ramos de amplificação com a interligação inversa das saídas, conforme apresentado na Figura 41, cuja modificação também pode ser comparada diretamente com a primeira versão ilustrada na Figura 32 (página 62).

#### 4.3.2 Arquitetura revisada

A variação dos níveis de ganho na primeira arquitetura era denominada dB-linear pois estes variavam de forma linear, quando os respectivos valores eram expressos em decibéis, o que consistia em uma variação exponencial dos níveis de ganho. Tal característica era obtida com a adição dos ramos fixos de amplificação e de carga, projetados com base num valor múltiplo de  $k$ , conforme abordado na subseção 4.2.1. A característica de variação do ganho naquela primeira arquitetura é apresentada conforme equações 4.9, 4.10 e 4.11, nas quais demonstra-se a relação direta entre a constante  $k$ , dos ramos fixos, e o comportamento pseudo exponencial do ganho. Logo, visando tornar linear a variação de ganho do amplificador, os ramos fixos de amplificação e de carga foram suprimidos da nova arquitetura.

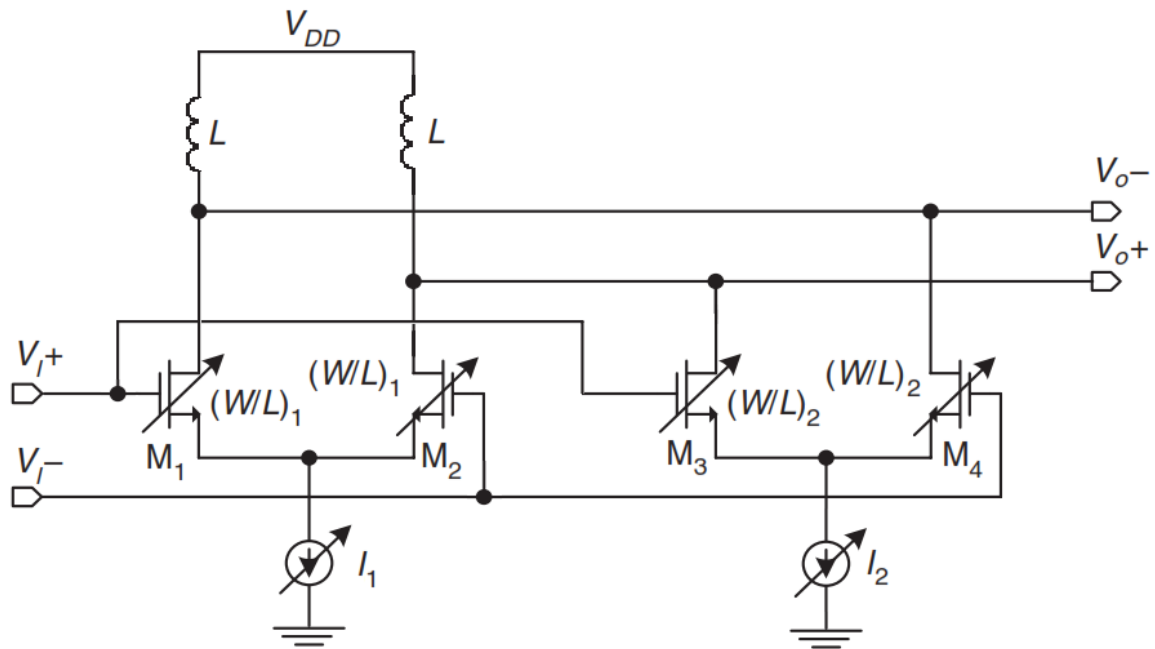


Figura 41: Modificação da primeira arquitetura.

Fonte: O autor.

Por sua vez, para aumentar o número de níveis distintos de ganho foi adicionado mais um conjunto de amplificadores diferenciais, iguais aos demais em sua construção, mas com dimensões dos transistores equivalentes a oito vezes o valor unitário padronizado e, por consequência, inserido um quarto bit de controle para esses ramos.

Ambas as modificações propostas estão apresentada na Figura 42, cuja modificação também poder ser comparada diretamente com a primeira versão ilustrada na Figura 33 (página 63).

### 4.3.3 Resultados simulados

Como forma de avaliar a resposta da nova arquitetura proposta, considerou um cenário em que o amplificador apresenta entrada e saída em alta impedância. Utilizou-se também uma polarização ( $V_{bias}$ ) que situa o ponto de operação do amplificador no centro da faixa de variação de tensão, sendo realizadas simulações de pequenos sinais para determinar a resposta em frequência e a curva de ganho do PGA. A fim de excitar o circuito, utilizou-se uma fonte de tensão diferencial ( $V_{dif}$ ) na entrada do amplificador. A Figura 43 ilustra o circuito de simulação utilizado.

As simulações propostas visam avaliar a resposta do circuito dada a variação dos parâmetros de projeto do amplificador de ganho programável projetado, ou seja, as razões



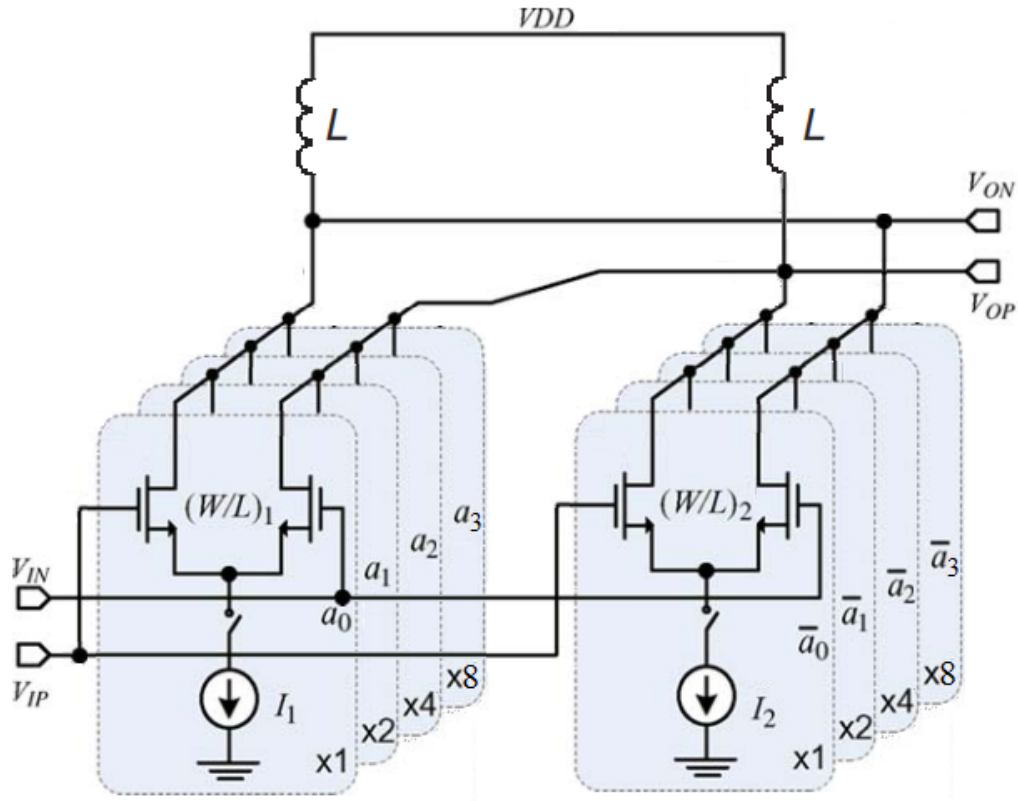


Figura 42: Arquitetura revisada.

Fonte: O autor.

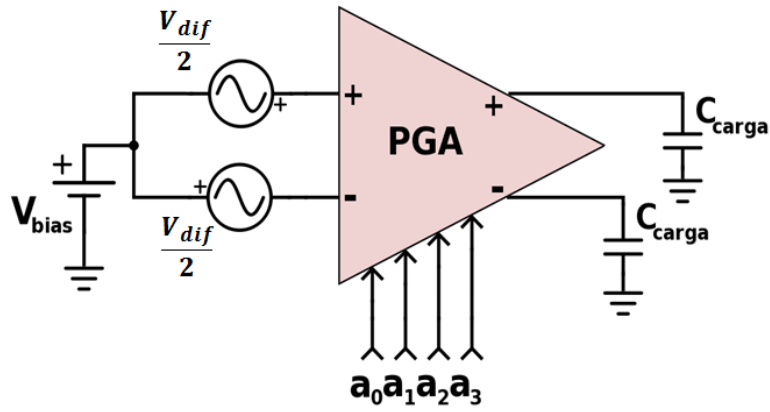


Figura 43: Circuito para simulação da arquitetura revisada.

Fonte: O autor.

de aspecto dos transistores dos ramos de entrada e da carga e a razão entre as correntes de polarização  $\frac{I_1}{I_2}$ ;

Com a finalidade de manter um viés de comparação com as simulações realizadas com a primeira arquitetura foram mantidas as variáveis utilizadas naquelas simulações, conforme a Tabela 5.

Tabela 5: Parâmetros básicos do projeto

Parâmetro	Valor
$V_{DD}$	1,5 V
$I_1$	100 $\mu A$
$I_2$	100 $\mu A$
$(W/L)_1$	8
$(W/L)_2$	8

Fonte: O autor.

Antes de avaliarmos a variação dos níveis de ganho do circuito quando realiza-se a variação de cada parâmetro, é apresentada na Figura 44 o módulo da resposta em frequência do amplificador, adotados os valores da Tabela 5, indicados, em cada curva do gráfico, o respectivo valor binário da palavra de controle que gerou aquela resposta. Ocorre uma perfeita sobreposição de dois níveis de ganho e cada curva, pois neste gráfico as respostas são apresentadas em módulo, não havendo diferenciação entre ganhos positivos e negativos. Para facilitar a identificação de cada nível de ganho correspondente, está indicado na figura as palavras binárias que correspondem àquele nível de ganho, em módulo.

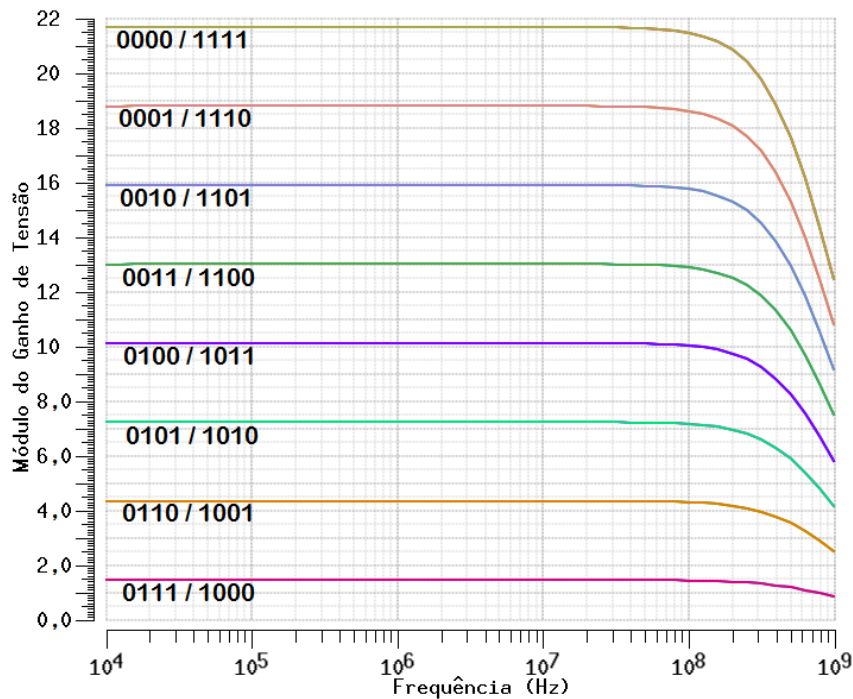


Figura 44: Gráfico da resposta em frequência para os 16 níveis de ganho de tensão, em módulo.

Fonte: O autor.

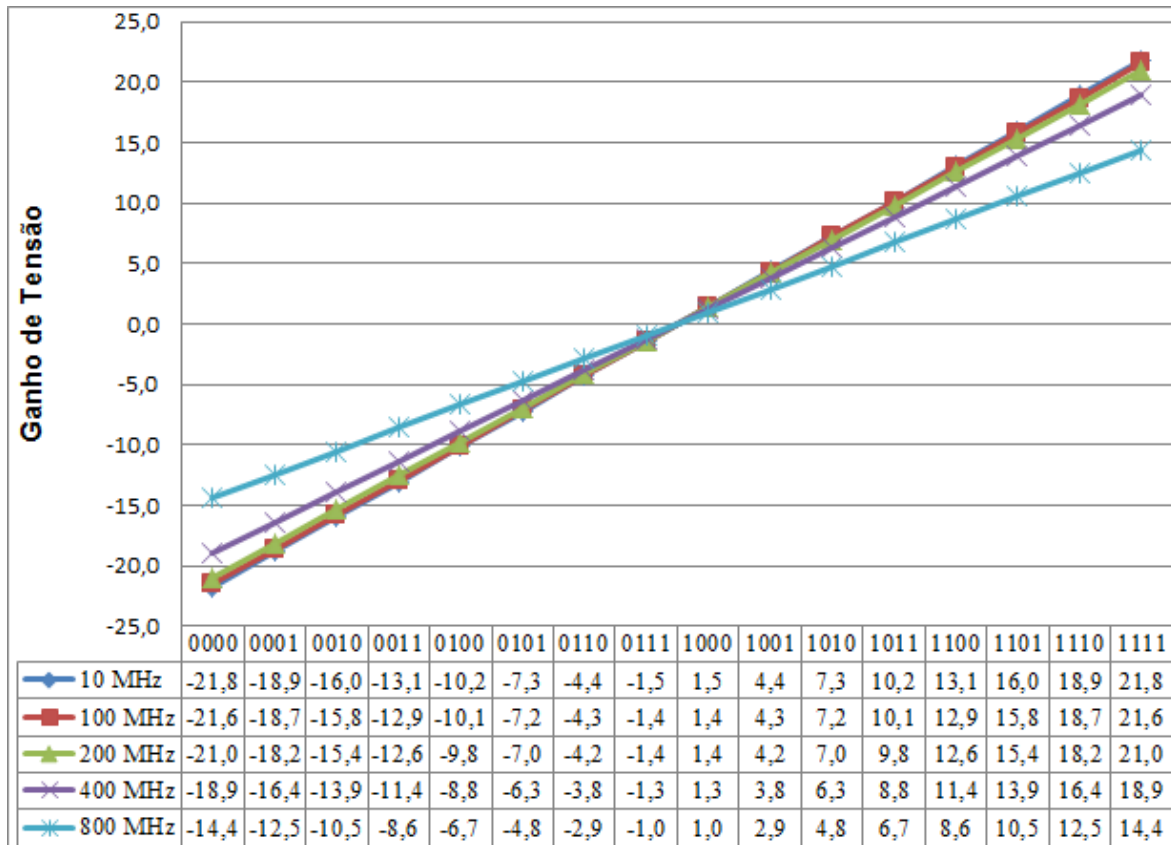


Figura 45: Variação das curvas de ganho nas frequências específicas.

Fonte: O autor.

Adicionalmente o gráfico da Figura 45 detalha os valores de ganho expressos pelas curvas da Figura 44, para as frequências de 10 MHz, 100 MHz, 400 MHz e 800 MHz.

A potência consumida pelo circuito base, implementado com os parâmetros da Tabela 5, pode ser determinada a partir da equação 4.13, da página 66, com a ressalva que a revisão da arquitetura eliminou os ramos fixos, levando a eliminação do fator  $k$  da referida equação. Logo a potência consumida pelo circuito poder ser determinada por

$$P = V_{DD} \times I_1(2^n) = 1,5 \times 100 \mu A(2^4) = 2,4 \text{ mW} .$$

Assim podemos constatar que o consumo de potência do circuito base se manteve igual ao consumo do circuito base da primeira arquitetura proposta. O aumento no número de bits da palavra de controle aumentou o consumo total na mesma proporção que a retirada dos ramos fixos reduziu o consumo do circuito, assim o consumo final se manteve.

Entretanto, cabe ressaltar que o aumento no número de bits da palavra de controle resulta no aumento significativo da corrente total do circuito, uma vez que cada novo ramo de controle inserido requer uma corrente de polarização igual a soma dos demais ramos. Tal característica reflete o peso binário que é atribuído a cada ramo.

#### 4.3.3.1 Variação das correntes de polarização

As correntes de polarização  $I_1$  e  $I_2$  mantêm um papel fundamental nesta segunda arquitetura uma vez que estão diretamente ligadas ao consumo de potência do amplificador de ganho programável, dessa forma, torna-se importante avaliar como o amplificador responde à variação destas correntes. O gráfico da Figura 46 apresenta o conjunto de curvas de ganho do amplificador, em 100 MHz, quando se altera o valor da corrente de polarização  $I_1$ , para os valores indicados. A modificação da referida corrente altera a transcondutância dos pares diferenciais que atuam na amplificação positiva do sinal de entrada. Observa-se então que a curva de ganho deixa de ser linear a medida que a corrente  $I_1$  assume valores distintos da corrente  $I_2$ , fixada em  $100 \mu A$  neste cenário de simulação.

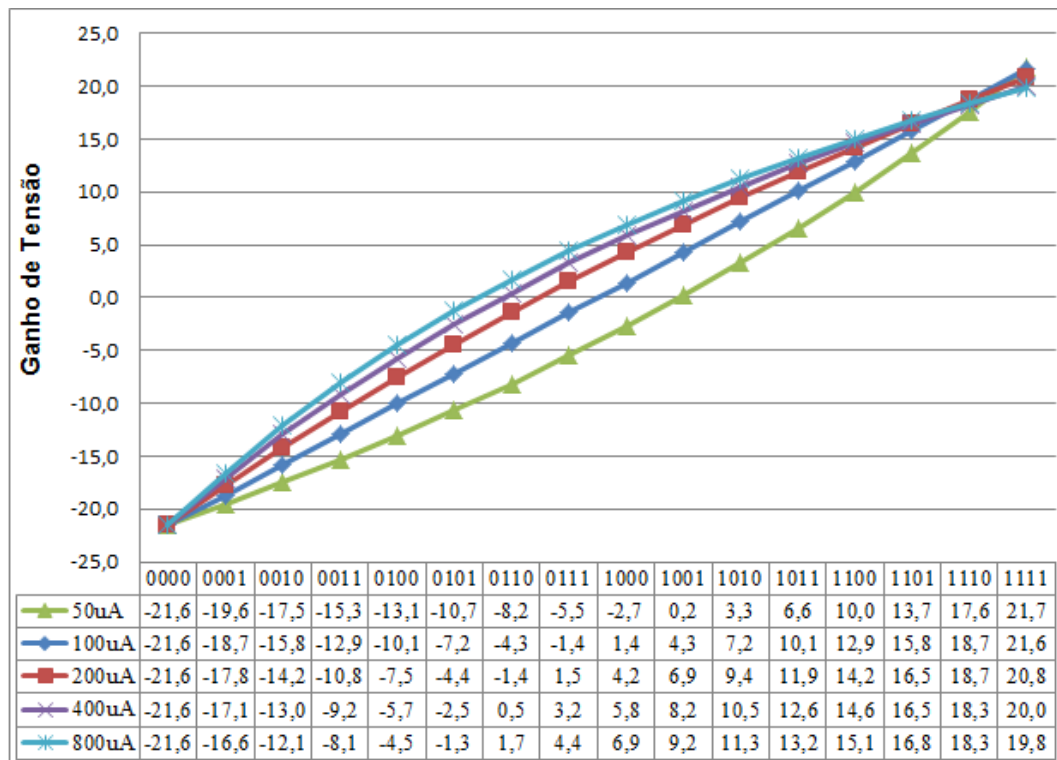


Figura 46: Variação das curvas de ganho em relação à variação da corrente  $I_1$ .

Fonte: O autor.

De forma similar, o gráfico da Figura 47 apresenta o conjunto de curvas de ganho do amplificador, em 100 MHz, quando se altera o valor da corrente de polarização  $I_2$ , fixando o valor da corrente de polarização  $I_1$  em  $100 \mu A$ . A modificação da corrente  $I_2$

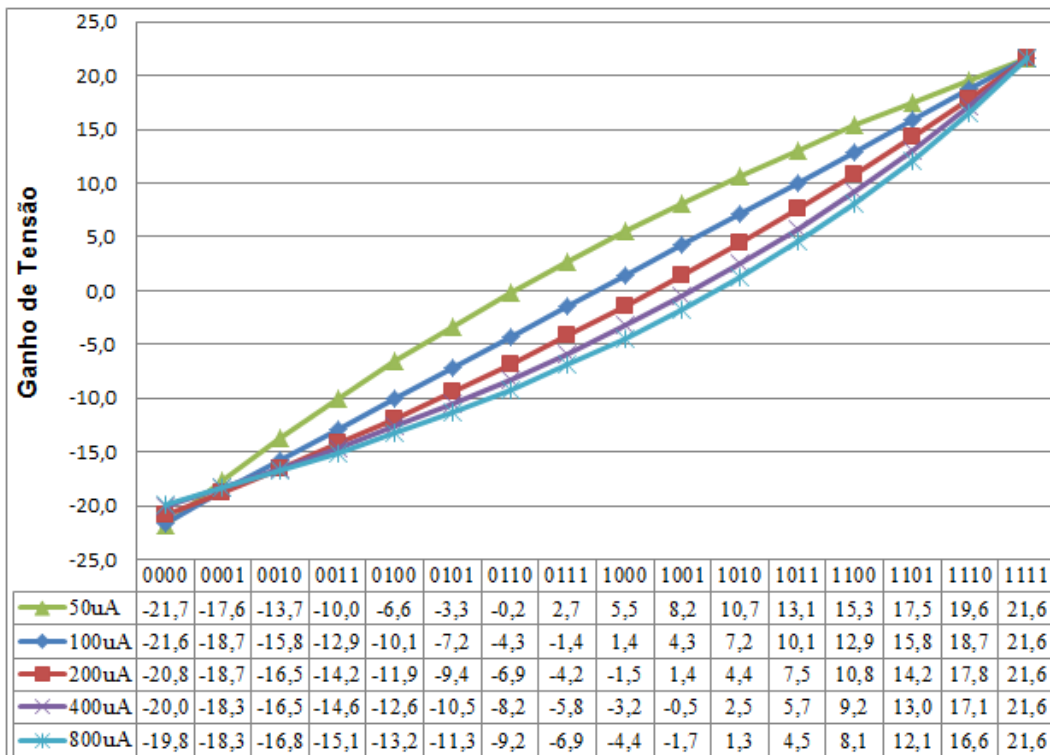


Figura 47: Variação das curvas de ganho em relação à variação da corrente  $I_2$ .

Fonte: O autor.

altera a transcondutância dos pares diferenciais que atuam na amplificação negativa do sinal de entrada. Da mesma forma, observa-se que a curva de ganho deixa de ser linear a medida que a corrente  $I_2$  assume valores distintos do valor base de referência ( $100 \mu A$ ).

#### 4.3.3.2 Variação da razão de aspecto dos transistores

Por fim, procurou-se identificar o efeito da variação da razão de aspecto dos transistores -  $(W/L)_n$ , no comportamento da curva de ganho do amplificador, especificamente para o ganho apresentado na frequência de 100 MHz.

O gráfico da Figura 48 apresenta as curvas de ganho para diferentes razões de aspecto  $(W/L)_1$ , que variam de 2 a 32. Constatou-se através da análise das referidas curvas que a variação do parâmetro  $(W/L)_1$  também resultou na perda da linearidade da curva de ganho.

Por sua vez, o gráfico da Figura 49 mostra as curvas de ganho para diferentes razões de aspecto  $(W/L)_2$ , também alteradas entre valores de 2 a 32, conforme indicado. Seguindo a mesma lógica da resposta obtida para a variação do parâmetro  $(W/L)_1$ , quando alterou-se a razão de aspecto  $(W/L)_2$ , a curva de ganho do amplificador deixou de ser linear.

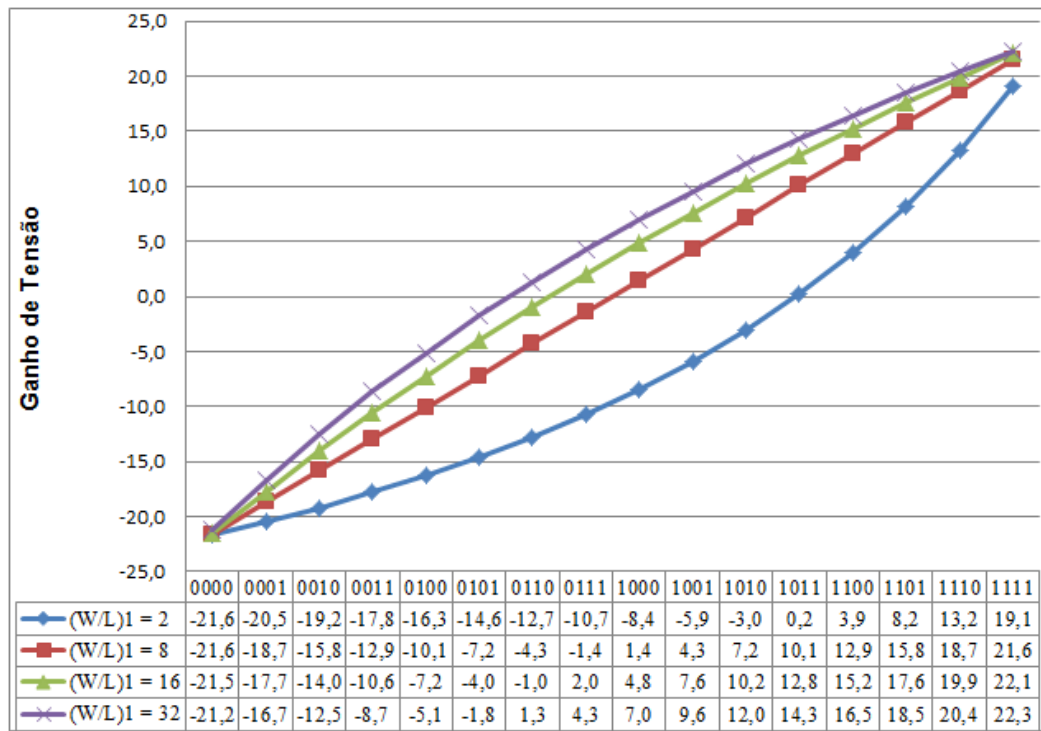


Figura 48: Variação das curvas de ganho em relação à variação da razão  $(W/L)_1$ .

Fonte: O autor.

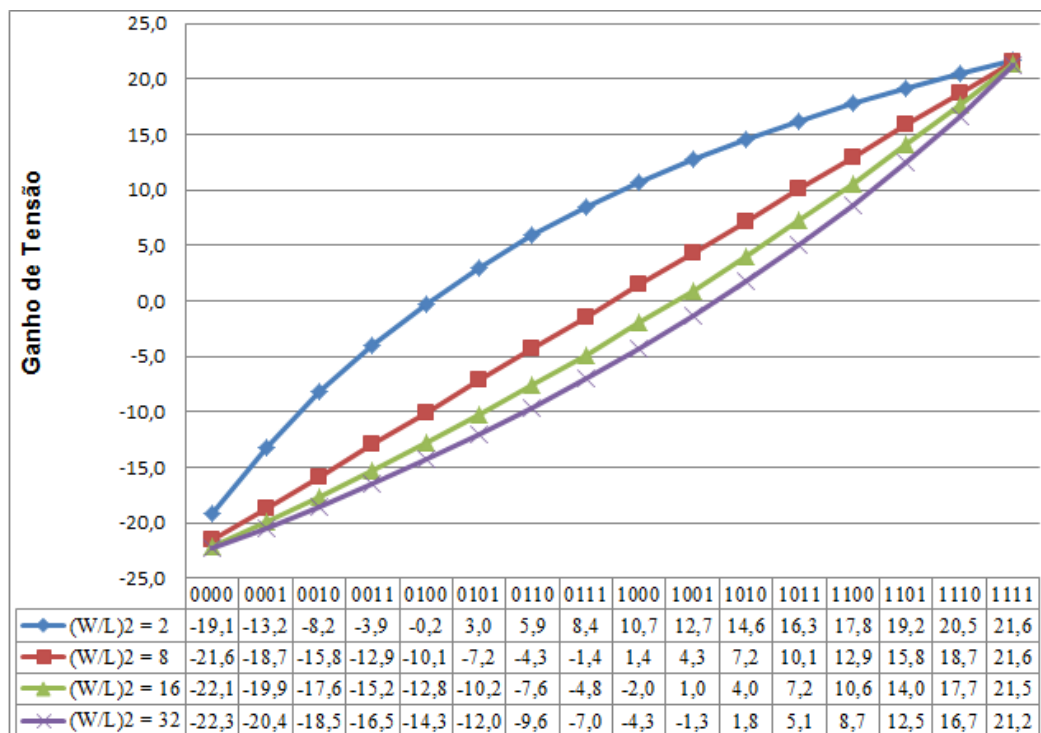


Figura 49: Variação das curvas de ganho em relação à variação da razão  $(W/L)_2$ .

Fonte: O autor.

#### 4.3.3.3 Considerações sobre os resultados obtidos

As simulações apresentadas refletem a resposta do circuito para a variação de um único parâmetro por vez, a fim de se visualizar a influência de cada um destes no comportamento do ganho do amplificador. Em uma análise inicial, a variação da razão de aspecto e da corrente de polarização podem representar uma conclusão de pequeno valor agregado, visto que refletem apenas a relação direta de tais parâmetros com a transcondutância do par diferencial. Entretanto, é proveitoso realizar tais avaliações quando comparadas às respostas obtidas para as variações dos mesmos parâmetros nas simulações da primeira arquitetura proposta. Tal comparativo evidencia as modificações realizadas na arquitetura, tratadas nesta seção.

### 4.4 CIRCUITO FINAL

As simulações realizadas na arquitetura revista do amplificador tinham por objetivo avaliar as características gerais da arquitetura proposta quanto à variação do ganho e resposta em frequência. Para tal feito foram utilizados elementos ideais no circuito simulado, como indutores como carga, fontes de corrente e chaves.

Todavia, para implementação do referido amplificador, objetivando a realização da prova de conceito do receptor apresentado na seção 2.2, é necessário projetar um circuito completo com componentes reais e definir os valores dos transistores e das correntes de polarização do amplificador projetado.

Os indutores ideais, de alto valor, que figuravam como carga do amplificador foram substituídos por resistores reais do tipo *OP P+ polysilicon* com dimensões de  $2\ \mu\text{m}$  de largura por  $6\ \mu\text{m}$  de comprimento, que resultou em uma resistência de  $1,09\ \text{k}\Omega$ .

Verificou-se nas simulações da seção anterior que, para manter a linearidade da curva de ganho, é necessário manter as seguintes premissas de projeto:

$$\begin{aligned}(W/L)_1 &= (W/L)_2 \\ I_1 &= I_2\end{aligned}$$

A premissa de igualdade das correntes de polarização possibilitou a simplificação dos espelhos de corrente utilizados para polarizar os pares diferenciais. Considerando que, pela lógica de controle dos ramos, entre os pares de ramos com o mesmo peso  $Xn$  apenas

um deles é ativo a cada momento. O outro ramo, sob comando do bit negado  $\bar{a}_x$ , estará sempre desativado quando o primeiro estiver ativado, e vice versa. Logo pode-se utilizar a mesma fonte de corrente para polarizar ambos os ramos de mesmo peso, apenas desviando a corrente para um ou outro ramo, conforme ilustrado na Figura 50. O projeto da fonte de referência de corrente é apresentado na subseção seguinte.

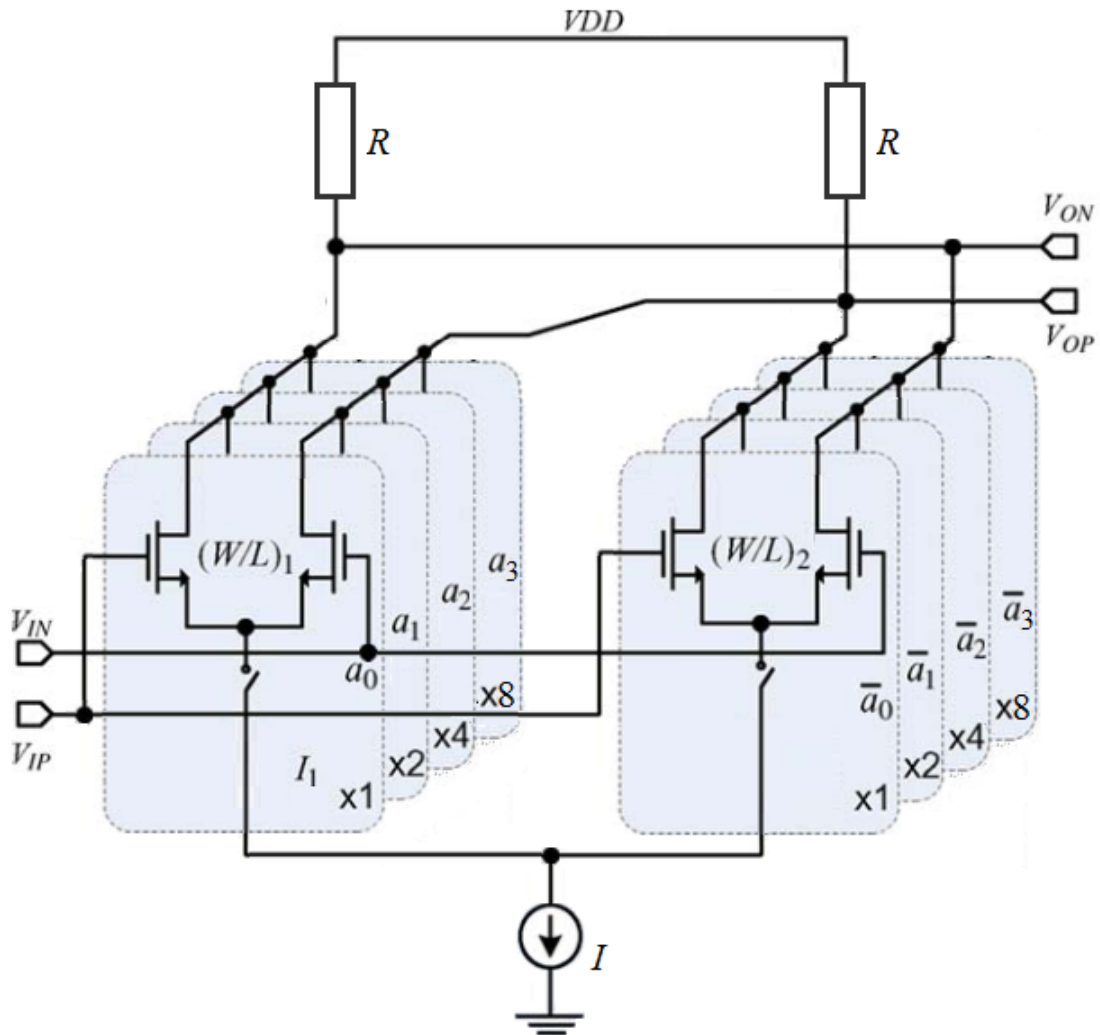


Figura 50: Topologia do circuito final.

Fonte: O autor.

Uma questão de notada importância na implementação do circuito diz respeito à escolha do tipo de transistor utilizado. A tecnologia GF 130 nm disponibiliza uma variedade de transistores de efeito de campo (FETs), dentre os quais, os mais relevantes para este trabalho são apresentados na Tabela 6, sendo  $V_{t,sat}$  a tensão de limiar.

A escolha do transistor levou em conta o valor da tensão de limiar, uma vez que esse fator está diretamente ligado à faixa útil de variação da tensão de saída do amplificador. Quanto maior a tensão de limiar, menor a faixa de tensão dinâmica disponível na saída.



Tabela 6: Tabela comparativa com diferentes tipos transistores MOS

Parâmetro	Tensão Máxima [V]	L mínimo [ $\mu m$ ]	$V_{t,sat}$ [mV] (nfet / pfet)	Máscara Adicional
Regular	1,6	0,12	$\approx 355$ / $\approx -300$	Não
Low-Vt	1,6	0,12	$\approx 260$ / $\approx -210$	Não
Low-Power	1,6	0,12	$\approx 560$ / $\approx -500$	Não
Zero-Vt nfet	1,6	0,42	$\approx 5$ / NA	Sim

Fonte: Manual de utilização da tecnologia GF 130 nm.

Dessa forma, o transistor que provê a menor tensão de limiar seria, conforme a Tabela 6, o transistor *Zero-Vt* entretanto, este transistor requer a utilização de máscaras adicionais, o que poderia acarretar em um aumento de custo de fabricação, além de possuir correntes reversas e de fuga superiores, o que acarretaria em um aumento de consumo que não justifica o benefício relacionado à baixa tensão de limiar. Sendo assim optou-se por utilizar o transistor *Low-Vt* na concepção do circuito.

Adicionalmente, verificou-se também a necessidade de utilizar a variante do transistor *Low-Vt* para aplicações em RF, denominado na tecnologia GF como *Low-Vt\_rf*. Esta variante possui, conforme o manual de utilização da tecnologia, geometria controlada, porta com baixa resistência e conectados ao primeiro nível de metalização, fonte e dreno conectados ao segundo nível de metalização, modelos com valores especificados de resistências e capacitâncias parasitas, considerada a geometria controlada, entre outras características que tornam a simulação mais precisa para as frequências visadas.

Assim o circuito final do amplificador de ganho programável foi projetado usando os valores apresentados na Tabela 7. Na determinação dos valores dos parâmetros destaca-se a redução do nível ganho máximo que o amplificador pode atingir. Nas simulações da primeira arquitetura e da revisão da arquitetura, não havia uma preocupação específica com o ganho máximo implementado, mas com a identificação da característica da resposta e da forma forma que as modificações de parâmetros influenciavam na resposta do amplificador. Já na concepção do circuito final, o ganho máximo implementado pelo amplificador precisou ser reduzido para atender à máxima excursão de sinal admissível na saída do amplificador.

Considerando que os valores de  $W_x$  e  $I_x$  referem-se às dimensões de canal dos transistores que compõem os pares diferenciais,  $W_{esp}$  e  $I_{esp}$  referem-se às dimensões de canal dos transistores que realizam o chaveamento e os espelhos de corrente. As citadas dimensões também são consideradas as dimensões unitárias básicas, sendo todos os transistores do projeto, múltiplos dessas dimensões.



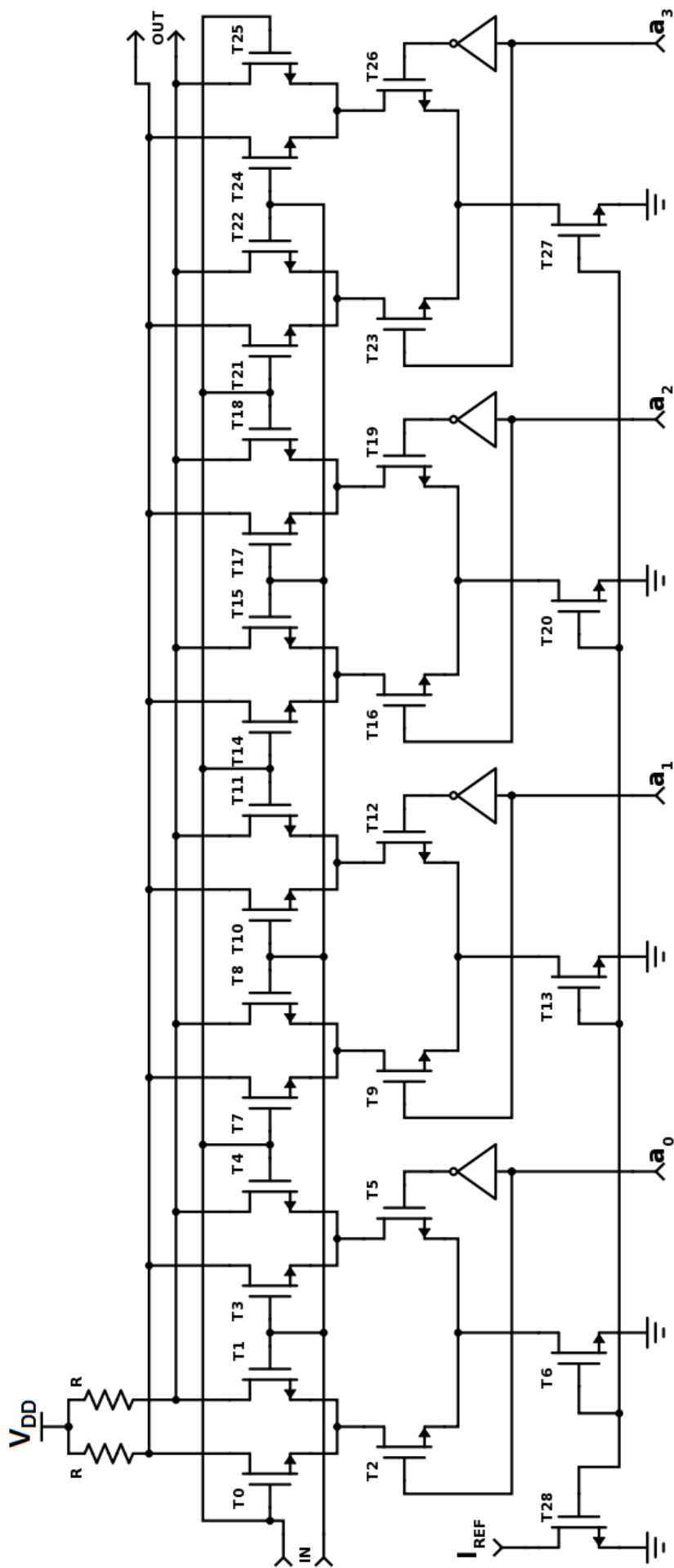


Figura 52: Circuito completo do amplificador de ganho programável projetado.

Fonte: O autor.

Simulações da resposta do circuito demonstraram que a fonte de referência forneceu aproximadamente  $40,02 \mu A$  quando a tensão de alimentação é de  $1,5 V$ , conforme destacado no gráfico da Figura 53.

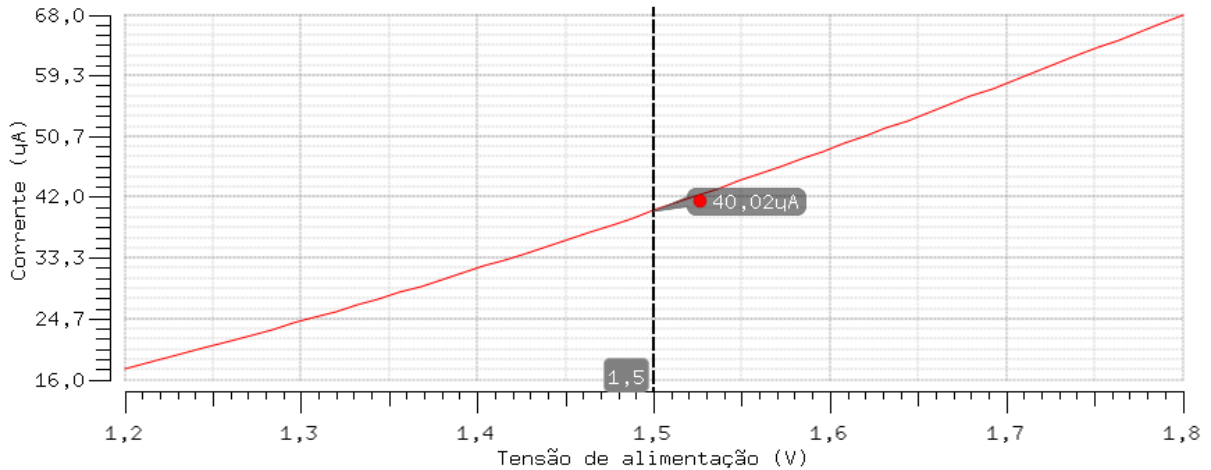


Figura 53: Variação da corrente de referência em relação à tensão de alimentação.

Fonte: O autor.

Outro parâmetro relevante no projeto de circuitos de referência diz respeito à estabilidade do valor gerado frente a variações na temperatura de operação do circuito. Neste quesito o circuito projetado também apresentou resposta condizente, conforme apresentado no gráfico da Figura 54, quando a temperatura sofre uma variação de  $0^{\circ}C$  a  $100^{\circ}C$ .

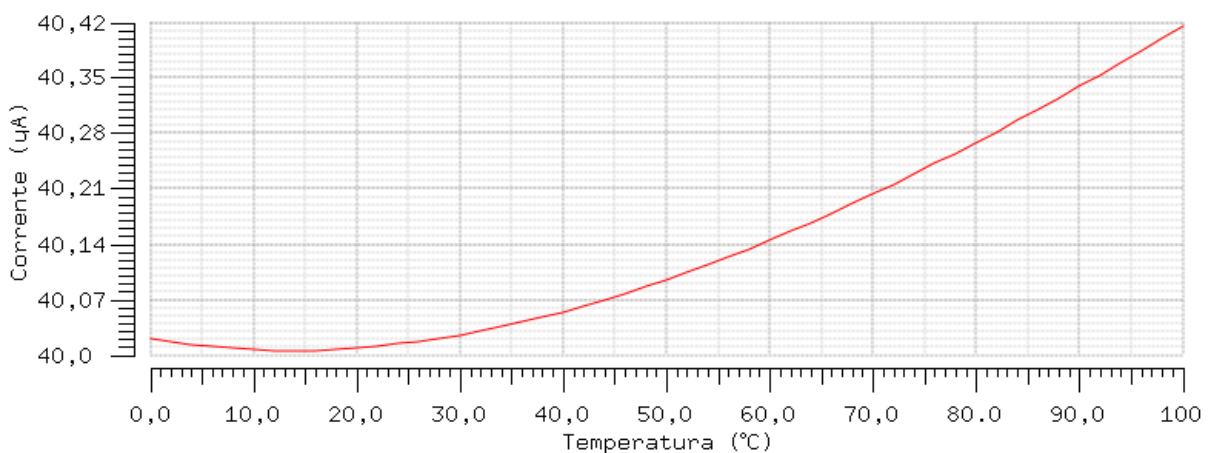


Figura 54: Variação da corrente de referência em relação à variação da temperatura.

Fonte: O autor.

#### 4.4.2 Resultados Simulados

Por fim, de modo a avaliar a resposta do circuito final implementado foram realizadas simulações de resposta em frequência do circuito, curva de ganho para o ponto de 100 MHz e resposta transiente da alteração dos níveis de ganho. Também neste caso utilizou-se uma polarização que situa o ponto de operação do amplificador no centro da faixa de variação de tensão e uma fonte de tensão diferencial na entrada do amplificador. Assim, o circuito de simulação permaneceu conforme apresentado na Figura 43 da página 76.

A carga aplicada na saída do amplificador projetado tem grande influência na resposta em frequência do circuito, por isso as próximas análises avaliam e comparam também a influência desta carga na resposta do PGA.

O gráfico da Figura 55 apresenta a resposta em frequência do amplificador projetado, quando utiliza-se de capacitores de carga de 1 fF na saída diferencial do circuito. Destaca-se que a frequência de corte do amplificador nesta condição foi de 2,39 GHz. Alterando o valor destes capacitores de carga para 100 fF, o circuito passou a apresentar a resposta em frequência ilustrada na Figura 56. Nesta condição a frequência de corte foi reduzida para 1,03 GHz.

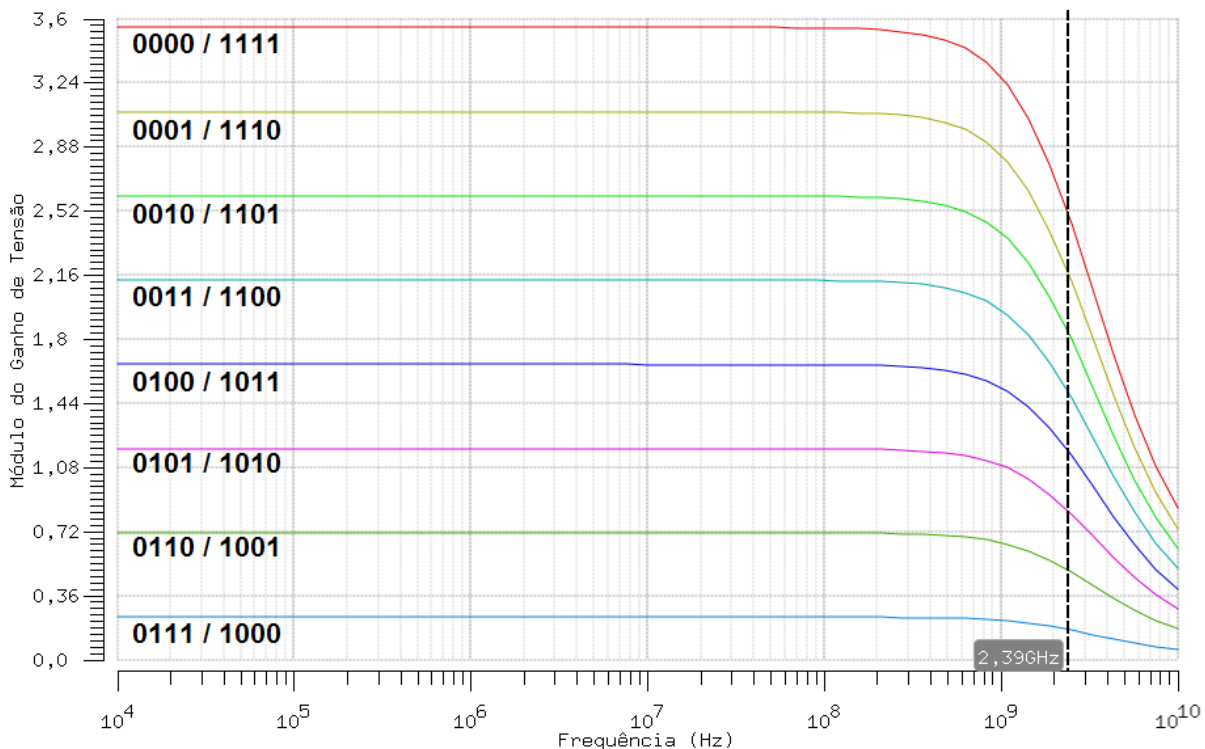


Figura 55: Resposta em frequência com um capacitor de carga de 1fF.

Fonte: O autor.

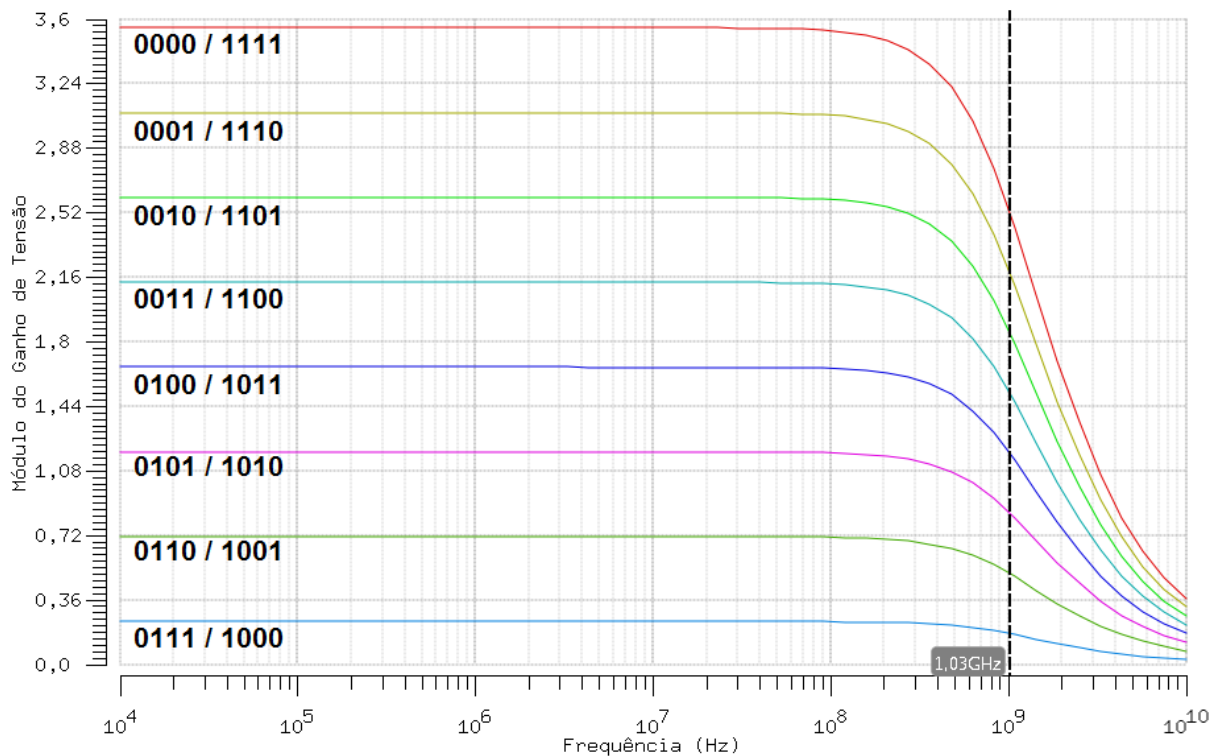


Figura 56: Resposta em frequência com um capacitor de carga de 100 fF.

Fonte: O autor.

Em um último cenário, o valor da capacitância de carga foi elevado para 10 pF e, conseqüentemente, a frequência de corte foi reduzida para 17,55 MHz. A Figura 57 apresenta a resposta em frequência para este último caso.

Do mesmo modo que o gráfico da resposta em frequência apresentado na seção que trata sobre a revisão da arquitetura, os gráficos citados no parágrafo anterior referem-se ao módulo do ganho de tensão. Assim, estes gráficos expressam os 16 níveis de ganho em módulo, conforme indicados nas figuras pelos valores binários que identificam cada curva.

O gráfico da Figura 58 ilustra, em detalhe, a curva de ganho para o ponto específico de 100 MHz, nos três cenários apresentados pelas Figuras 55, 56 e 57. Observa-se que a curva de ganho nos casos dos capacitores de carga de 1 fF e 100 fF são praticamente coincidentes, por terem apresentado uma frequência de corte bastante superior à 100 MHz. Já a curva de ganho para o caso do uso de capacitores de 10 pF mostra-se bastante reduzida, face ao fato que a frequência de corte desse cenário ser menor que 100 MHz. O ponto relevante nesta análise refere-se a constatação que a curva de ganho apresenta uma resposta linear, mesmo após a frequência de corte, demonstrando que a banda de cada modo de ganho tem a mesma largura.

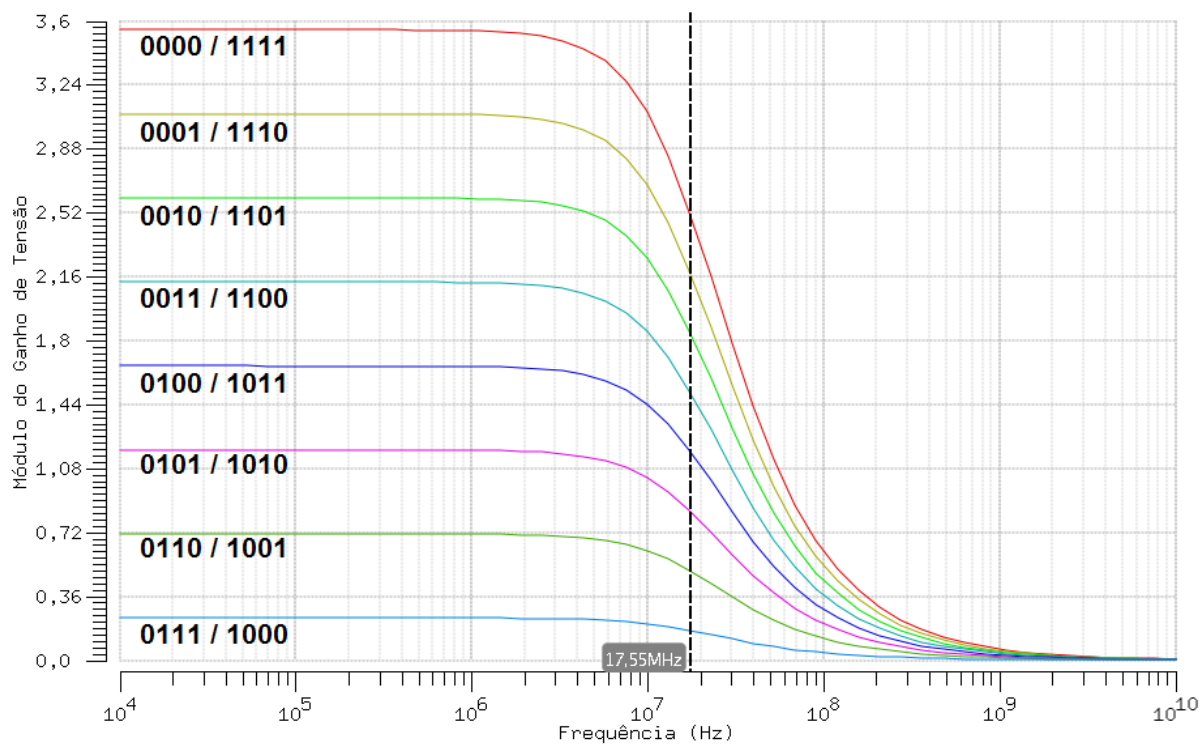


Figura 57: Resposta em frequência com um capacitor de carga de 10 pF.

Fonte: O autor.

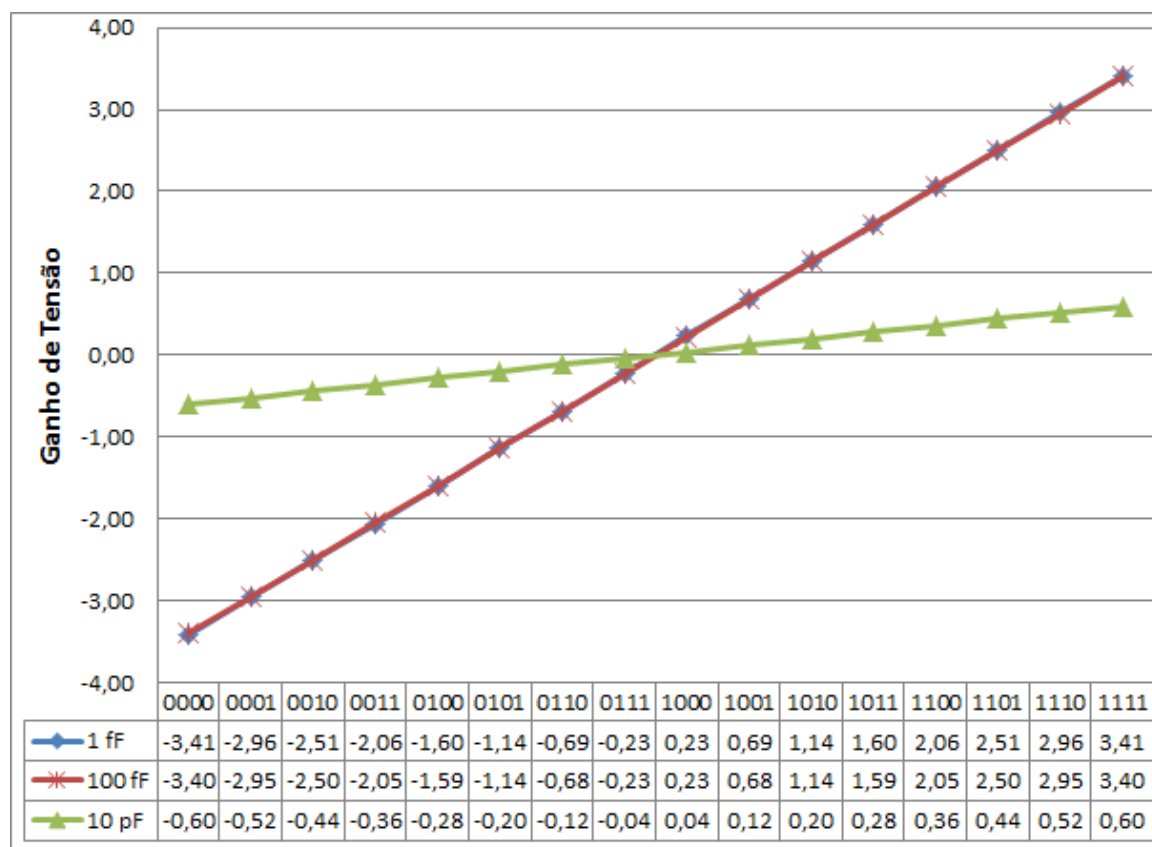


Figura 58: Curva de ganho referente à resposta em 100 MHz.

Fonte: O autor.

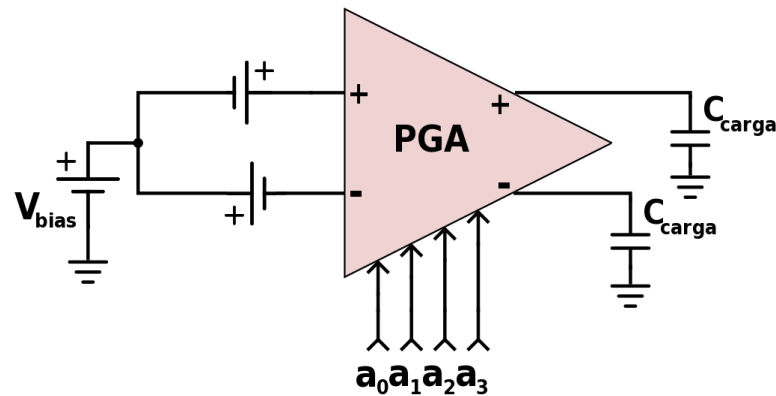


Figura 59: Circuito para simulação da resposta transiente.

Fonte: O autor.

Uma análise relevante, que pode ser simulada com a concepção do circuito final, diz respeito ao comportamento do circuito na transição entre os diferentes níveis de ganho. Tal análise identifica a velocidade e a característica de estabilização do ganho do amplificador frente a uma mudança do nível de ganho. A Figura 59 apresenta o circuito utilizado para realizar simulações de transiente elencadas na sequência.

O gráfico da Figura 60 apresenta a variação de ganho do amplificador através da análise transiente da saída quando fixamos a entrada diferencial e alteramos os níveis de ganho do PGA. O gráfico apresenta duas curvas que se sobrepõem em grande parte. A curva em vermelho representa a resposta do amplificador quando se utiliza de capacitores de carga de 1 fF, já a resposta em amarelo representa o amplificador com capacitores de carga de 100 fF. Não foram realizadas simulações transientes para o caso do capacitor de carga de 10 pF face ao fato que a resposta em frequência deste cenário apresentou frequência de corte inferior à frequência de interesse, 100 MHz.

A referida figura ainda destaca dois pontos de transição, o trecho “A” onde ocorre a transição de ganho negativo para positivo e o trecho “B” onde ocorre a transição de maior diferença de ganho, do valor máximo para o valor mínimo. Estes trechos são apresentados em detalhes, a seguir. Nas análises que se seguem, para avaliação do tempo de estabilização, considerou-se que o ganho atingiu o valor desejado quando chegou 90% do valor final para aquele nível.

O gráfico da Figura 61 destaca a transição de ganho no trecho “A”, onde ocorre a mudança do menor ganho negativo para o menor ganho positivo. Neste gráfico fica evidente a diferença entre a resposta para o circuito com capacitor de carga de 1 fF (curva em vermelho) e a resposta para o circuito com capacitor de carga de 100 fF (curva em amarelo). Apesar disso, o tempo de estabilização para ambos os casos foi relativamente próximo, conforme indicado no próprio gráfico.



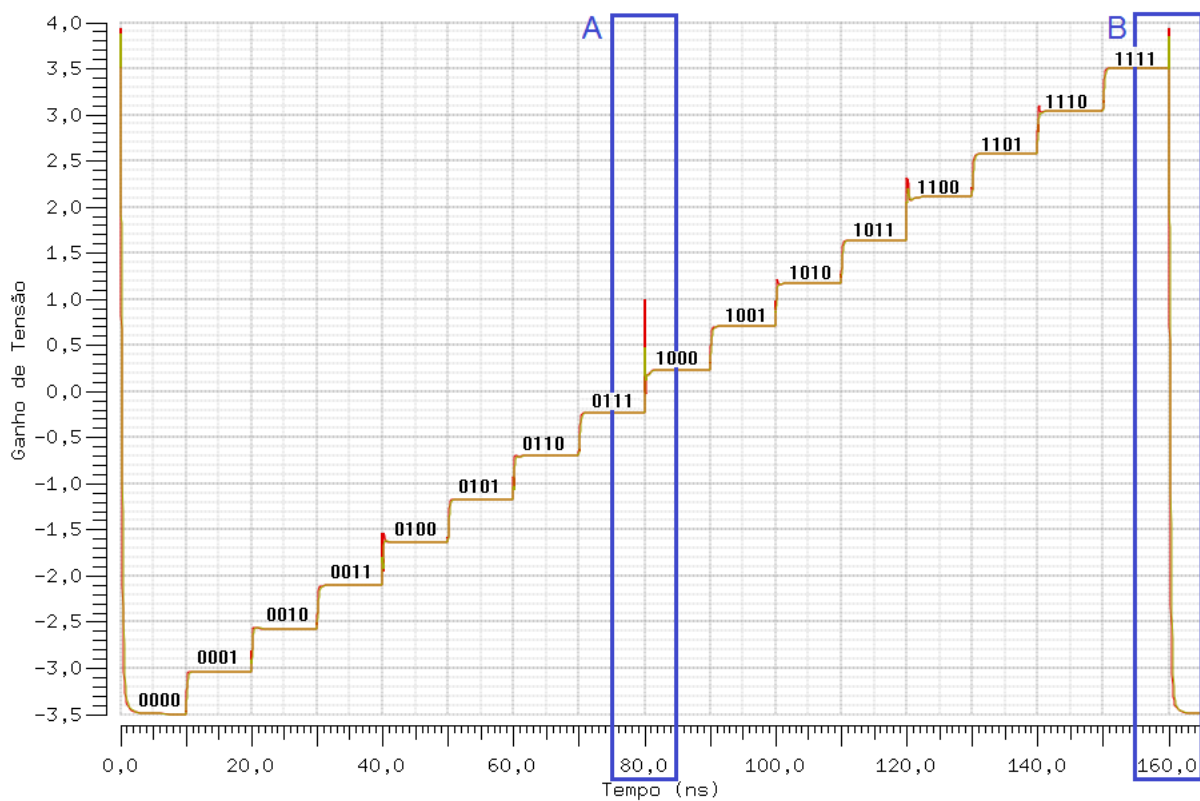


Figura 60: Resposta transiente para a variação em todos os níveis de ganho.

Fonte: O autor.

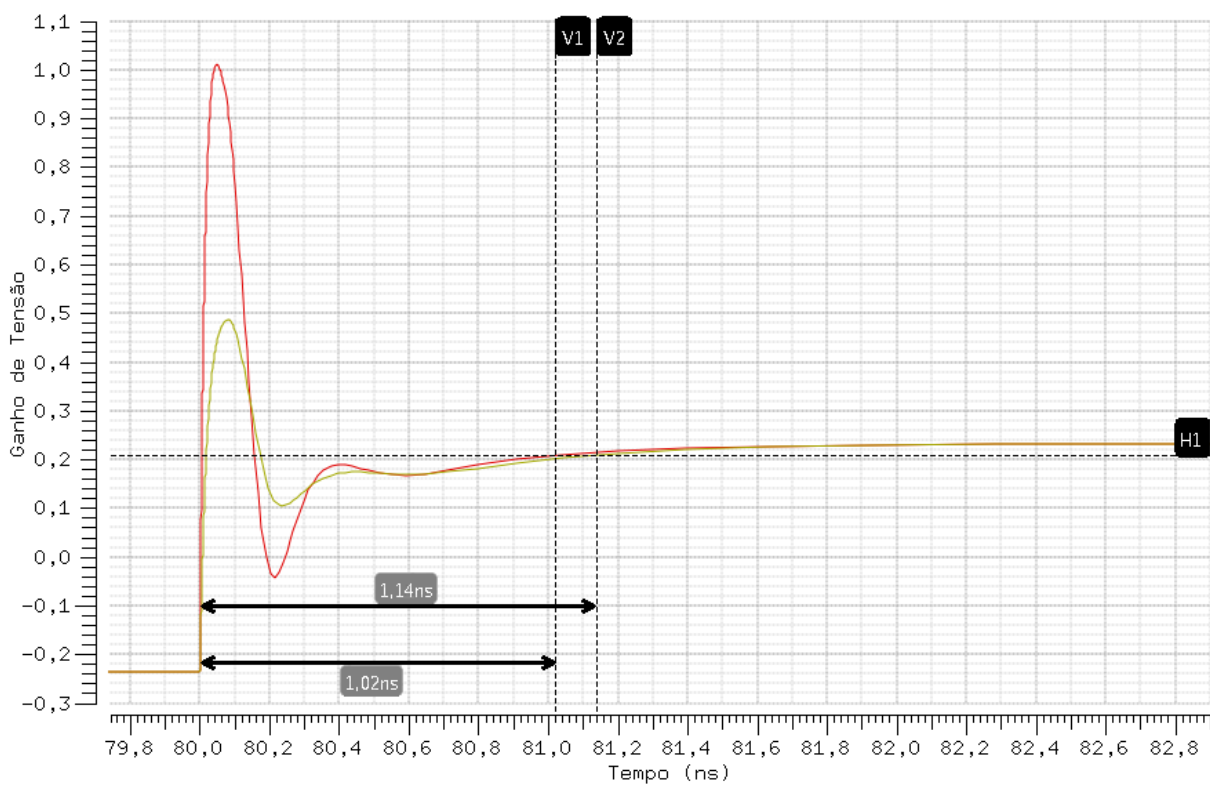


Figura 61: Detalhe da transição de ganho no trecho “A”.

Fonte: O autor.

Por último, o gráfico da Figura 62 destaca a transição de ganho no trecho “B”, onde ocorre a mudança do maior ganho positivo para o maior ganho negativo. Novamente se evidencia a diferença entre a resposta para o circuito com capacitores de carga de 1 fF (curva em vermelho) e a resposta para o circuito com capacitores de carga de 100 fF (curva em amarelo). Cabe destacar, neste caso, que o critério usado para avaliar a estabilidade do ganho, quando atingidos 90% do valor final, representa um número absoluto maior nesta análise, assim o tempo de estabilização mostrou-se menor que aquele verificado na transição do trecho “A”.

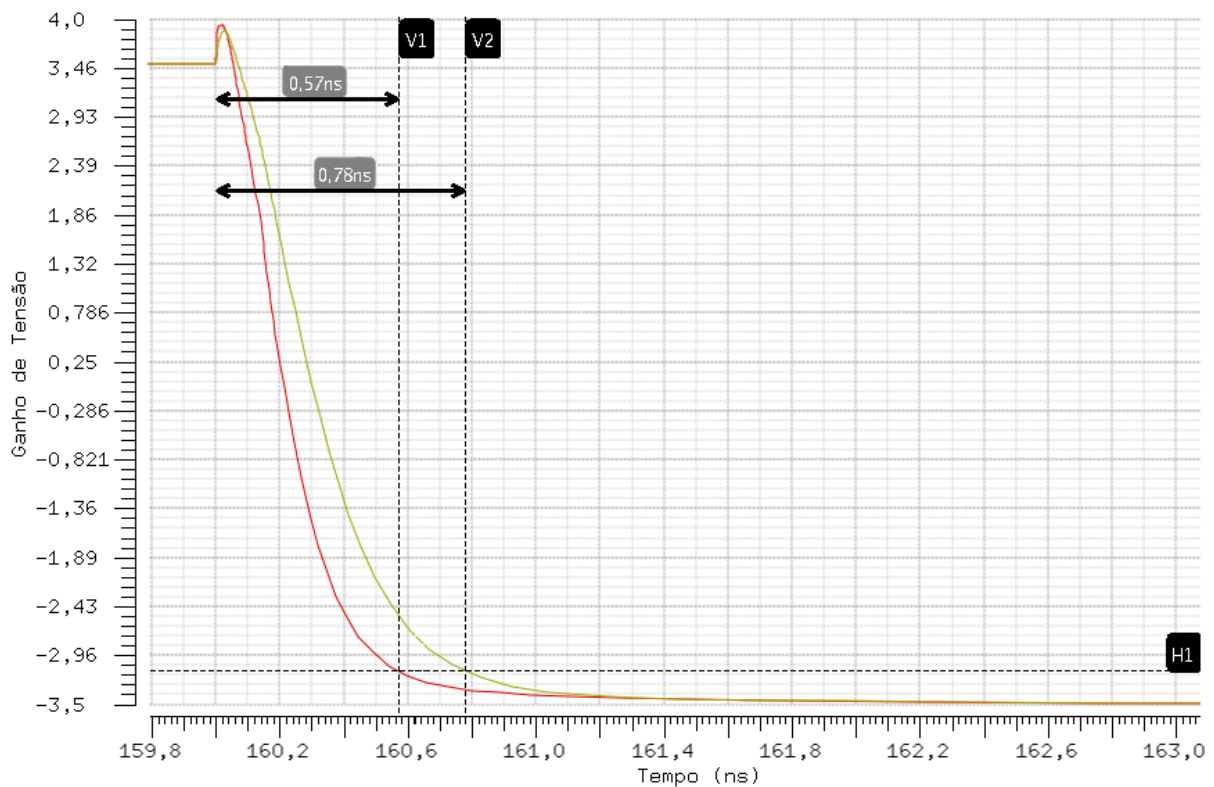


Figura 62: Detalhe da transição de ganho no trecho “B”.

Fonte: O autor.

Observa-se que a utilização dos capacitores de carga de 1 fF e 100 fF promovem uma resposta em frequência e uma velocidade de transição de níveis de ganho condizentes com o intento do amplificador proposto, a prova de conceito do receptor apresentado na seção 2.2.

A análise transiente do circuito também demonstrou que o circuito apresenta uma corrente total de  $784 \mu A$ , independente no nível de ganho aplicado. Considerando que a tensão de alimentação é de 1,5 V, o circuito apresenta um consumo de potência total de aproximadamente 1,2 mW.



## 5 CONCLUSÕES

O objetivo deste trabalho consistiu em desenvolver um amplificador de ganho programável para aplicação específica em um receptor baseado em subamostragem com dupla quadratura, utilizando tecnologia CMOS GF de 130 nm. Com esse intento, apresentou-se a teoria de funcionamento do receptor citado, revelando-se a necessidade do desenvolvimento de um amplificador de ganho programável específico para a aplicação.

Na sequência, realizou-se um estudo das diversas técnicas que possibilitam o controle de ganho de um amplificador, seja ele implementado em malha fechada ou em malha aberta. Além dos requisitos de operação em alta frequência, foi importante observar as características de consumo de potência das técnicas apresentadas. Tais características são relevantes no projeto de um circuito que se propõem a figurar como componente de cadeia de recepção em dispositivos móveis, por exemplo.

Tal estudo mostrou primeiramente que as técnicas de controle de ganho que utilizam a concepção do amplificador em malha fechada apresentam um consumo relativamente superior com relação àquelas técnicas implementadas nos amplificadores em malha aberta. Sendo assim, a arquitetura escolhida utilizou duas técnicas básicas de controle de ganho em amplificadores em malha aberta, o controle da corrente de polarização e o controle da carga do amplificador.

Escolhida a arquitetura, passou-se então para um estudo específico da teoria de funcionamento da respectiva técnica, baseado nos artigos científicos que apresentaram a mesma. Tal estudo mostrou ainda que o controle digital do ganho se dá por uma escala dB-linear, onde o ganho de tensão apresentado em decibéis sofre um incremento linear com cada incremento da palavra de controle.

Entretanto, no decorrer da pesquisa, verificou-se que a característica de operação em dois quadrantes, inerente à arquitetura escolhida, não seria compatível com o receptor apresentado. Face a isso foi necessário o estudo de alternativas para implementação de um amplificador de ganho programável que operasse nos quatro quadrantes. Uma solução

foi obtida ao se modificar a arquitetura escolhida, baseando-se no conceito da célula de Gilbert, que implementa a multiplicação nos quatro quadrantes.

De posse da arquitetura revisada, buscou-se projetar o circuito final do amplificador, levando em consideração os transistores disponíveis na tecnologia adotada, além de boas práticas de projeto que iram repercutir nas fases seguinte, como a adoção de transistores de tamanhos padrão, somado ao uso da multiplicidade dos respectivos transistores para variação da razão de aspecto ( $W/L$ ) resultante.

Conclui-se então que foi obtido um circuito completo do amplificador de ganho programável proposto. Tal recurso não teria embasamento se não fosse a avaliação, por meio de simulações, da influência de cada parâmetro na resposta do amplificador. Restando como próxima etapa da pesquisa a criação do leiaute do circuito para fabricação e medição dos resultados, com o confronto aos dados obtidos em simulação

## Referências

- BABANEZHAD, J. N.; TEMES, G. C. A 20-v four-quadrant cmos analog multiplier. *IEEE Journal of Solid-State Circuits*, IEEE, v. 20, n. 6, p. 1158–1168, 1985.
- BULT, K.; GEELEN, G. J. An inherently linear and compact most-only current division technique. *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, v. 21, n. 12, 1992.
- CALVO, B.; CELMA, S.; SANZ, M. High-frequency digitally programmable gain amplifier. *Electronics Letters*, IET, v. 39, n. 15, p. 1095–1096, 2003.
- DUONG, Q.-H.; LE, Q.; KIM, C.-W.; LEE, S.-G. A 95-db linear low-power variable gain amplifier. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, IEEE, v. 53, n. 8, p. 1648–1657, 2006.
- GABIAN, G.; LUTENBERG, A.; LIPOVETZKY, J. Cmos implementation of a programmable attenuation amplifier based on switched capacitors for an optical encoder system. In: IEEE. *Embedded Systems (SASE/CASE), 2014 Fifth Argentine Symposium and Conference on*. [S.l.], 2014. p. 19–23.
- GILBERT, B. A precise four-quadrant multiplier with subnanosecond response. *IEEE journal of solid-state circuits*, IEEE, v. 3, n. 4, p. 365–373, 1968.
- GRAY, P. R.; HURST, P.; MEYER, R. G.; LEWIS, S. *Analysis and design of analog integrated circuits*. [S.l.]: Wiley, 2001.
- HSU, C.-C.; WU, J.-T. A highly linear 125-mhz cmos switched-resistor programmable-gain amplifier. *Solid-State Circuits, IEEE Journal of*, IEEE, v. 38, n. 10, p. 1663–1670, 2003.
- KIM, T. W.; KIM, B. A 13-db iip3 improved low-power cmos rf programmable gain amplifier using differential circuit transconductance linearization for various terrestrial mobile d-tv applications. *Solid-State Circuits, IEEE Journal of*, IEEE, v. 41, n. 4, p. 945–953, 2006.
- LEE, H.-C.; LIN, C.-c.; WANG, C.-k. A 290mhz 50db programmable gain amplifier for wideband communications. In: IEEE. *Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian*. [S.l.], 2006. p. 379–382.
- LEE, T. H. *The design of CMOS radio-frequency integrated circuits*. 2. ed. [S.l.]: Cambridge University Press, 2004.
- MAK, P.-I.; SENG-PAN, U.; MARTINS, R. P. On the design of a programmable-gain amplifier with built-in compact dc-offset cancellers for very low-voltage wlan systems. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, IEEE, v. 55, n. 2, p. 496–509, 2008.
- MARTINS, E. *Projeto de misturador com topologia célula de Gilbert utilizando PHEMT*. Tese (Doutorado) — Universidade Estadual de Campinas, 2002.

MISRA, D. *Radio-frequency and microwave communication circuits: analysis and design*. [S.l.]: John Wiley & Sons, 2004.

MODESTO, A. A. Circuitos de polarização para amplificadores de radiofrequência com ganho programável. In: *Evento de Iniciação Científica*. [S.l.: s.n.], 2016. p. 372.

MORAES, G. d. S. d. *Amplificador de ganho programável integrado para aplicação em medidores de energia elétrica inteligentes*. Dissertação (Mestrado) — Universidade Federal do Rio de Janeiro, 2012.

NGUYEN, H.-H.; DUONG, Q.-H.; LE, H.-B.; LEE, J.-S.; LEE, S. Low-power 42 db-linear single-stage digitally-controlled variable gain amplifier. *Electronics Letters*, IET, v. 44, n. 13, p. 780–782, 2008.

NGUYEN, H.-H.; DUONG, Q.-H.; LEE, S.-G. 84 db 5.2 ma digitally-controlled variable gain amplifier. *Electronics Letters*, IET, v. 44, n. 5, p. 344–346, 2008.

NGUYEN, H.-H.; NGUYEN, H.-N.; LEE, J.-S.; LEE, S.-G. A binary-weighted switching and reconfiguration-based programmable gain amplifier. *Circuits and Systems II: Express Briefs, IEEE Transactions on*, IEEE, v. 56, n. 9, p. 699–703, 2009.

PÉREZ, J. P. A.; PUEYO, S. C.; LÓPEZ, B. C. *Automatic Gain Control*. [S.l.]: Springer, 2011.

RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: Tata McGraw-Hill Education, 2002.

RIJNS, J. Cmos low-distortion high-frequency variable-gain amplifier. *Solid-State Circuits, IEEE Journal of*, IEEE, v. 31, n. 7, p. 1029–1034, 1996.

SANZ, M.; CALVO, B.; CELMA, S.; MORAN, C. A digitally programmable vga. In: *IEEE Midwest Symposium on Circuits and Systems, MWSCAS*. [S.l.: s.n.], 2001. p. 602–605.

SANZ, M. T.; CELMA, S.; CALVO, B. Designing pgas based on the current division technique. In: IEEE. *Circuits and Systems, 2006. MWSCAS'06. 49th IEEE International Midwest Symposium on*. [S.l.], 2006. v. 2, p. 69–73.

SEDRA, A.; SMITH, K. *Microelectronics Circuits*. 5. ed. [S.l.]: Oxford University Press, 2004.

SIONEK, G. *Simulação em VERILOG-AMS e Desenvolvimento Sistêmico de uma Arquitetura Baseada em Subamostragem e Dupla Conversão em Frequência*. 2014. Monografia (Bacharelado em Engenharia Elétrica), Universidade Federal do Paraná - UFPR, Curitiba, Brasil.

SIONEK, G.; CUNHA, J. P. C.; MATIAS, M. L.; LOLIS, L. H. A.; MARIANO, A. A.; LEITE, B. Double quadrature bandpass sampling for a pll and mixer-less low-if multistandard receiver. In: IEEE. *IEEE Latin American Symposium on Circuit and System*. [S.l.], 2017. p. 200–203.